

Implementação de Multiplexador Ternário

João Ricardo Pereira Marques, Rogério Aparecido Gonçalves, João Fabrício Filho

¹Departamento de Computação (DACOM) –
Universidade Tecnológica Federal do Paraná (UTFPR)
Campo Mourão – PR – Brasil

joaoricardomarkes@alunos.utfpr.edu.br, {rogerioag, joaof}@utfpr.edu.br

Abstract. *This work designs and implements a 9:1 ternary multiplexer, demonstrating the advantages of multivalued systems over traditional binary logic. Two ternary control signals select among nine inputs, reducing interconnections and increasing information density. PMOS and NMOS transistors implement the circuit's fundamental logic gates (AND, OR, NAND, NOR, and inverters), while a ternary-to-unary decoder selectively activates the control lines. Simulations in LTSpice and oscilloscope tests validate the system. The results show lower transistor usage than equivalent binary implementations, demonstrating the potential of ternary logic for efficient digital architectures.*

Resumo. *Este trabalho projeta e implementa um multiplexador 9:1 ternário, demonstrando as vantagens de sistemas multivalorados sobre a lógica binária tradicional. Dois sinais de controle ternários selecionam nove entradas, reduzindo as interconexões e elevando a densidade de informação. Transistores PMOS e NMOS implementam as portas lógicas fundamentais (AND, OR, NAND, NOR e inversores) do circuito, enquanto um decodificador ternário-para-unário ativa seletivamente as linhas de controle. Simulações no LTSpice e testes com simulador de osciloscópio validam o sistema. Os resultados mostram menor uso de transistores do que implementações binárias equivalentes, comprovando o potencial da lógica ternária para arquiteturas digitais eficientes.*

1. Introdução

A lógica ternária, ou de três valores, oferece uma alternativa à lógica binária ao proporcionar maior densidade de informação, armazenamento e roteamento de dados mais eficiente [Tompkins et al. 1950]. O Computador Soviético *Setun* foi o primeiro computador a utilizar lógica ternária balanceada [Brusentsov and Alvarez 2011]. Embora a lógica ternária exija instrumentação diferente, suas vantagens têm sido validadas por meio de diversos trabalhos ao longo dos anos [Jones 2008].

A lógica ternária constitui uma alternativa à lógica binária ao permitir a representação de informações em um *trit* por meio de três estados distintos (0, 1 e 2). Um *trit* aumenta exponencialmente a quantidade de informação que pode ser representada por um *bit*, possibilitando maior densidade de informação e reduzindo o número de interconexões [Tompkins et al. 1950].

Além disso, sistemas ternários permitem maior expressividade lógica, uma vez que portas com duas entradas devem considerar nove combinações possíveis, em contraste

com as quatro combinações da lógica binária. Essas características tornam a lógica multivalorada uma candidata promissora para arquiteturas digitais mais eficientes [Post 1921].

Este trabalho propõe o desenvolvimento de um multiplexador ternário 9:1, com foco na implementação física em CMOS e na avaliação do seu correto funcionamento e da eficiência estrutural. Para tanto, na implementação e na validação utilizou-se o simulador LTSpice [Analog Devices Inc. 2026]. Os resultados mostram que é possível multiplexar por meio da lógica ternária com 44% menos transistores do que um circuito com a mesma capacidade na lógica binária [Stine 2004].

2. Metodologia

O multiplexador foi projetado como uma rede combinacional baseada em portas lógicas ternárias. A arquitetura utiliza dois sinais de controle ternários, permitindo o endereçamento completo de nove entradas ($3^2 = 9$). A construção do circuito baseia-se em três componentes principais:

- **Portas Lógicas Ternárias:** As operações AND e OR foram definidas como funções mínimo e máximo, respectivamente, enquanto NAND e NOR foram obtidas pela aplicação de operadores de negação. Três operadores de negação distintos (PNOT, SNOT e NNOT) foram utilizados para manipulação dos níveis intermediários.
- **Decodificador Ternário-para-Unário:** Responsável por converter sinais ternários em uma representação *one-hot*, ativando apenas uma linha de controle para cada combinação de entrada.
- **Rede de Multiplexação:** Implementada por meio de portas AND e OR organizadas em uma estrutura em cascata, permitindo a seleção de uma única entrada de dados entre nove possíveis.

A implementação em simulador foi realizada com transistores PMOS e NMOS, operando em múltiplos níveis de tensão para representar os estados lógicos ternários.

3. Resultados

A validação do circuito da Figura 1a, foi realizada por meio de simulações no LTSpice [Analog Devices Inc. 2026] e medições experimentais com osciloscópio simulado. Os resultados mostram que os sinais de controle determinam corretamente a seleção das entradas, garantindo que apenas o caminho correspondente seja ativado.

A análise temporal, mostrada na Figura 1b, evidenciou o comportamento dinâmico do multiplexador, no qual as combinações dos sinais de controle percorrem sequencialmente os estados possíveis, ativando diferentes entradas ao longo do tempo. O sinal de saída reflete exclusivamente a entrada selecionada, sem interferência de caminhos inativos.

O circuito final utiliza aproximadamente 176 transistores, enquanto implementações binárias equivalentes podem exigir cerca de 310 transistores, indicando uma redução significativa de área. Além disso, o uso de dois sinais ternários para endereçar nove entradas elimina a necessidade de bits adicionais, o que contribui para uma arquitetura mais compacta.

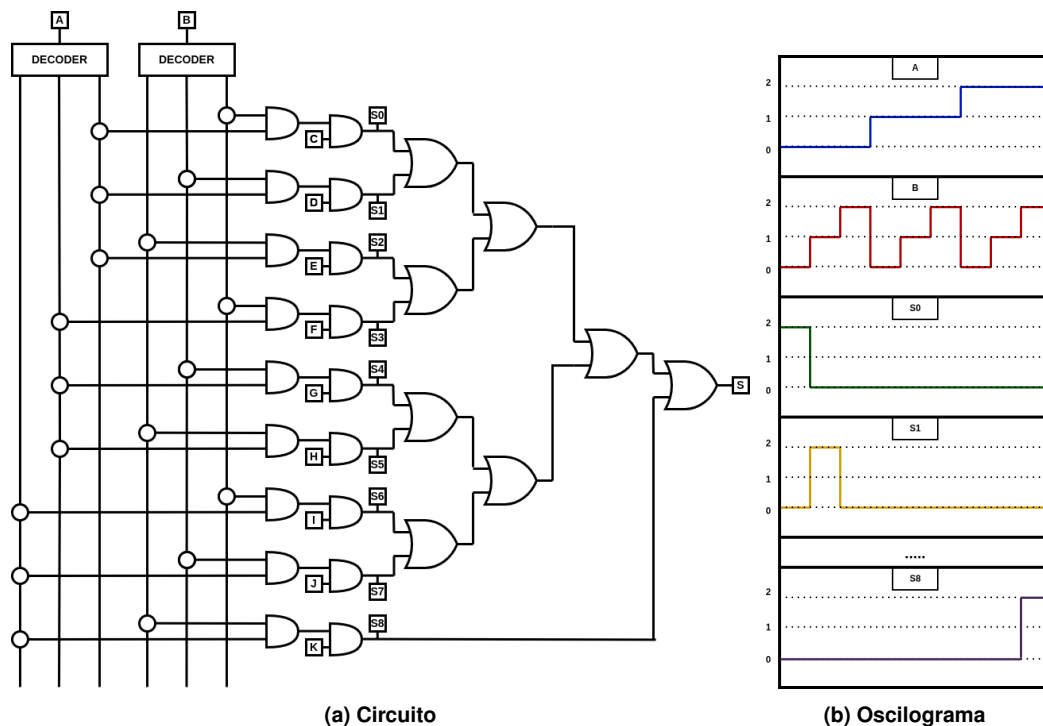


Figura 1. Circuito e Oscilograma do Multiplexador.

4. Conclusão

Este trabalho implementou e mostrou a viabilidade da implementação de um multiplexador ternário em tecnologia CMOS, destacando suas vantagens em termos de densidade de informação e redução de interconexões. A arquitetura proposta mostrou-se funcional tanto em simulação quanto em validação experimental.

Como trabalhos futuros, pretende-se expandir essa abordagem para o desenvolvimento de estruturas mais complexas, como unidades de processamento e sistemas completos baseados em lógica ternária, explorando seu potencial em arquiteturas computacionais avançadas.

Referências

- Analog Devices Inc. (2026). LTspice circuit simulator, version ??? <https://www.analog.com/en/design-center/design-tools-and-calculators/ltspice-simulator.html>. Accessed: 2026-08-07.
- Brusentsov, N. and Alvarez, J. (2011). *Ternary Computers: The Setun and the Setun 70*, pages 74–80.
- Jones, D. W. (2008). The ternary manifesto. <https://homepage.cs.uiowa.edu/~jones/ternary/>. Accessed: 2026-04-25.
- Post, E. L. (1921). Introduction to a general theory of elementary propositions. *American Journal of Mathematics*, 43(3):163–185.
- Stine, J. (2004). *Digital Computer Arithmetic Datapath Design Using Verilog HDL*.
- Tompkins, C. B., Wakelin, J. H., and Stifler, Jr., W. W. (1950). *High-Speed Computing Devices*. McGraw-Hill Book Company, New York.