

# Utilização de balanceamento de carga para redução do tempo de execução e do consumo de energia \*

Ana Karina M. Machado<sup>1</sup>, Vinícius R. S. dos Santos<sup>1</sup>, Edson L. Padoin<sup>1</sup>

<sup>1</sup>Universidade Reg. do Noroeste do Estado do Rio G. do Sul (UNIJUI) - Ijuí - RS - Brasil

{ana.morales,vinicius.ribas,padoin}@unijui.edu.br

**Resumo.** *Este trabalho apresenta as primeiras considerações da proposta de desenvolvimento de um novo balanceador de carga para o modelo de programação CHARM++. Seu propósito consiste em ajustar a frequência de clock dos cores como forma de redução no consumo de energia dos sistemas evitando assim os custos relativos à migração de processos entre os elementos de processamento.*

## 1. Introdução

A simulação de fenômenos é uma das grandes áreas onde aplicações científicas são utilizadas, possibilitando pesquisas nos mais diversos ramos do conhecimento [Kale 1993]. Avanços para atender às grandes demandas por processamento de aplicações, denominadas como Computação de Alto Desempenho (*High Performance Computing* – HPC), culminaram em um acréscimo no consumo de energia, fazendo com que passe a ser um limitante na escalabilidade dos futuros sistemas [Padoin et al. 2013].

Da mesma forma, características como o desbalanceamento de carga e excessiva comunicação entre tarefas podem prejudicar o desempenho dessas aplicações, não gerando o ganho de desempenho desejado [Padilha and Padoin 2016]. Para isso, soluções que utilizam estratégias especiais para o emprego adequado de todos os recursos disponíveis, denominadas balanceadores de carga (BC) vem sendo desenvolvidas com o objetivo de detectar o desbalanceamento de carga e corrigi-lo, objetivando aprimorar a utilização dos recursos computacionais disponíveis à aplicação [Padilha and Padoin 2016].

Nesse contexto temos o modelo de programação CHARM++, que disponibiliza um conjunto básico de BCs que utilizam-se das informações fornecidas pelo CHARM++ para a tomada de decisão de migração de processos [Arruda et al. 2015]. Esses BCs tem objetivo de equilibrar cargas entre unidades de processamento migrando as tarefas entre os núcleos, visando reduzir o tempo de execução da aplicação.

No entanto, avanços recentes na tecnologia de processadores e memória resultaram na saturação de frequências de *clock* do processador [Le Sueur and Heiser 2010] na utilização de soluções HPC, levando a um crescimento exponencial no consumo de energia durante a execução dessas aplicações [Dong et al. 2010].

Nesse cenário, tem-se o consumo de energia como uma preocupação crítica [Pinheiro et al. 2001], tornando um desafio as pesquisas que visam a concessão de desempenho para aplicações científicas, aprimorando sua eficiência energética em sistemas HPC. A nível de *hardware*, os processadores atuais permitem a redução da frequência por meio de estratégias de

---

\*Trabalho parcialmente apoiado por UNIJUI e CNPq. Pesquisa realizada no contexto do Laboratório Internacional Associado LICIA e tem recebido recursos do edital da VRPGPE de bolsa e PIBIC/UNIJUI.

*Dynamic Voltage and Frequency Scaling* (DVFS) [Lara 2013]. Já a nível de *software*, muitas estratégias de BC, como as implementadas com o modelo de programação CHARM++, focam em apenas em reduzir o tempo de execução [Zheng et al. 2011]. Porém, poucas estratégias de BC começam a ser planejadas tendo em vista a utilização da demanda de potência e consumo de energia na tomada de decisões. Neste contexto, a pesquisa proposta neste artigo tem como objetivo preencher esta lacuna, descrevendo as primeiras considerações de um novo balanceador de carga (BC) para o modelo de programação CHARM++, visando a redução do consumo de energia e evitando migrações de tarefas através do uso de técnicas de DVFS.

O restante deste artigo está assim organizado. A Seção 2 apresenta os trabalhos relacionados. A Seção 3 apresenta a proposta do novo balanceador. A Seção 4 descreve a metodologia que será empregada na implementação do novo balanceador de carga. Por fim, são discutidos na Seção 5, algumas Conclusões e perspectivas de Trabalhos Futuros.

## 2. Trabalhos Relacionados

A partir da premissa de um problema do tipo NP-Completo [Leung 2004], o balanceador AverageLB foi proposto. O seu algoritmo é baseado em uma abordagem centralizada, que leva em consideração a média aritmética das cargas de cada processador, buscando equilibrá-las, reduzindo o número de migrações [Freytag et al. 2015].

Durante o processo de execução, o AverageLB coleta dados dos processadores e da aplicação e os armazena em um banco de dados de balanceamento de cargas. A ideia deste balanceador é utilizar estas informações para criar duas variáveis que vão conter médias aritméticas. Estas serão usadas para controlar quais *chares* devem ser migrados e qual valor cada processador deve ter para estar em equilíbrio [Arruda et al. 2015].

Estudou-se também BC EnergyLB, que emprega um módulo de balanceamento de carga que se beneficia da estrutura de balanceamento disponível no sistema em tempo de execução [Padoin et al. 2014], possuindo duas variantes.

O algoritmo do Fine-Grained EnergyLB possui uma condição que habilita a aplicação de balanceadores de carga para melhor distribuir as tarefas entre os núcleos. Quando a migração não é benéfica, a técnica de ajuste do relógio é adotada, modificando individualmente a frequência dos núcleos sobrecarregados.

A segunda variante, Coarse-Grained EnergyLB se adequa a plataformas HPC compostas por vários processadores *multi-core* [Padoin et al. 2014]. O BC aplica uma visão hierárquica de árvore de dois níveis, onde a raiz é composta por vários processadores *multi-core*, distribuindo a carga entre os núcleos dos processadores dentro das folhas e entre as folhas. No nível raiz, o BC ajusta a frequência de cada processador de acordo com sua carga ponderada para economizar energia explorando desequilíbrios residuais [Padoin et al. 2014].

## 3. Balanceador de carga proposto

Uma vez visualizada a necessidade de se realizar um balanceamento de carga mais eficiente, buscando utilizar os métodos de consumo de energia, procura-se uma modernização nos procedimentos adotados para o balanceamento de carga de aplicações em HPC. Diferente da abordagem de ambas as versões do EnergyLB, que utiliza o balanceamento de carga com migração de tarefas, essa proposta pretende abster-se dessa metodologia, apenas utilizando técnicas DVFS para o balanceamento de carga e economia de energia.



## 5. Conclusões

Este artigo apresenta uma proposta de melhoria no algoritmo de balanceamento de carga AverageLB. Seu intuito é a redução do consumo de energia na execução de aplicações paralelas por meio do ajuste da frequência do *clock* em função da carga de cada unidade de processamento.

Como futuros trabalhos, pretende-se implementar o balanceador em sua forma completa, objetivando realizar testes em sistemas paralelos, utilizando benchmarks e problemas reais de computação científica, buscando comprovar o equilíbrio dos elementos de trade-off.

## Referências

- Arruda, G., Padoin, E. L., Pilla, L. L., Navaux, P. O. A., and Mehaut, J.-F. (2015). Proposta de balanceamento de carga para redução de migração de processos em ambientes multi-programados. In *XVI Simpósio de Sistemas Computacionais (WSCAD-WIC)*, pages 1–8, Florianópolis, RJ.
- Dong, Y., Chen, J., and Tang, T. (2010). Power measurements and analyses of massive object storage system. In *Computer and Information Technology (CIT), 2010 IEEE 10th International Conference on*, pages 1317–1322. IEEE.
- Freytag, G., Arruda, G., Martins, R. S. M., and Padoin, E. L. (2015). Análise de desempenho da paralelização do problema de caixeiro viajante. In *XV Escola Regional de Alto Desempenho (ERAD)*, pages 1–4, Gramado, RS. SBC.
- Kale, L. (1993). Parallel programming with charm: An overview. *Dept. of Computer Science, University of Illinois at Urbana-Champaign, Tech. Rep*, pages 93–8.
- Lara, V. L. (2013). Resolução paralela verificada de sistemas de equações lineares: uma abordagem para eficiência energética utilizando dvfs.
- Le Sueur, E. and Heiser, G. (2010). Dynamic voltage and frequency scaling: The laws of diminishing returns. In *Proceedings of the 2010 international conference on Power aware computing and systems*, pages 1–8.
- Leung, J. Y. (2004). Handbook of scheduling: algorithms, models, and performance analysis.
- Padilha, B. S. and Padoin, E. L. (2016). Análise de desempenho da aplicação de balanceamento de carga em benchmark sintéticos. *Salão do Conhecimento*, 2(2).
- Padoin, E., Castro, M., Pilla, L., Navaux, P., and Mehaut, J.-F. (2014). Saving energy by exploiting residual imbalances on iterative applications. In *High Performance Computing (HiPC), 2014 21st International Conference on*, pages 1–10.
- Padoin, E. L., Velho, P., Oliveira, D. A. G., Navaux, P. O. A., Videau, B., Degomme, A., and Mehaut, J.-F. (2013). Relação entre tempo de execução e consumo de energia de mpsocs com processadores ARM. In *XIII Escola Regional de Alto Desempenho (ERAD)*, pages 1–2, Porto Alegre, RS. SBC.
- Pinheiro, E., Bianchini, R., Carrera, E. V., and Heath, T. (2001). Load balancing and unbalancing for power and performance in cluster-based systems. In *Workshop on compilers and operating systems for low power*, volume 180, pages 182–195. Barcelona, Spain.
- Zheng, G., Bhatelé, A., Meneses, E., and Kalé, L. V. (2011). Periodic hierarchical load balancing for large supercomputers. *International Journal of High Performance Computing Applications*, 25(4):371–385.