

# Sincronização Energeticamente Eficiente de Programas Concorrentes via Memória Transacional Híbrida

Felipe L. Teixeira<sup>1\*</sup>, Laércio L. Pilla<sup>2</sup>, Luiz C. V. dos Santos<sup>1,2</sup>

f.l.teixeira@posgrad.ufsc.br, {laercio.pilla, luiz.santos}@ufsc.br

<sup>1</sup>Departamento de Automação e Sistemas  
Universidade Federal de Santa Catarina (UFSC)  
Florianópolis, SC - Brasil

<sup>2</sup>Departamento de Informática e Estatística  
Universidade Federal de Santa Catarina (UFSC)  
Florianópolis, SC - Brasil

**Resumo.** Este artigo apresenta uma proposta de trabalho, onde é proposto utilizar Memórias Transacionais Híbridas (HyTM) para obter um bom compromisso entre Memórias Transacionais em Software (STM) e Memórias Transacionais em Hardware (HTM) para otimizar a eficiência energética.

## 1. Introdução

Atualmente, uma vasta gama de sistemas computacionais utiliza multiprocessamento em chip: sistemas embarcados, dispositivos pessoais móveis, computadores pessoais e os servidores que suportam a Computação em Nuvem [Patterson and Hennessy 2007]. O desempenho dos programas que executam nesses sistemas costuma ser expresso em termos de tempo de execução ou de vazão. Entretanto, o desempenho não deve ser obtido às expensas de um consumo superior ao limite de potência termicamente tolerável. Por isso, a razão entre a vazão e a potência, conhecida como eficiência energética, é importante para os sistemas computacionais, sendo crucial para PMDs e para os servidores de grandes *data centers*.

As memórias transacionais (TMs) [Herlihy et al. 1993] são uma alternativa promissora para a sincronização de *threads*. TMs são baseadas em transações similares às usadas em bancos de dados. A principal vantagem em relação às alternativas convencionais (baseadas em *locks*) é a maior simplicidade ao escrever o código. Outra vantagem é a inexistência do problema de *deadlock*.

TMs não são um tópico recente de estudo [Herlihy et al. 1993]. Primeiramente elas foram pensadas para serem desenvolvidas em hardware (HTM), mas acabaram ganhando mais popularidade quando desenvolvidas em software (STM). Com a popularidade ganha quando desenvolvidas em software, grandes empresas como Intel e IBM acabaram investindo em HTM.

Com a implementação de HTM, verificou-se que a mesma tem um sobrecusto menor do que a STM [Nakaike et al. 2015]. Entretanto, como as HTMs são limitadas no tamanho das transações, por serem implementadas em nível de cache, elas

---

\*Bolsista CNPq Doutorado

acabam tendo um sobrecusto superior às STM quando as transações são muito grandes [Carvalho and Baldassin 2014]. Isso acaba abrindo espaço para implementações de memórias transacionais híbridas (HyTM), que combinam os modelos de HTM e STM com intuito de obter um compromisso entre o menor sobrecusto de HTM e a não limitação de recursos de STM.

## 2. Proposta

Em sua maioria, as pesquisas sobre TMs são focadas em HTM ou em STM. Como dito, a indústria começou a disponibilizar suporte à HTM no conjunto de instruções de novos processadores, revitalizando assim os estudos sobre HTM.

Em trabalhos comparativos das STM com HTM [Carvalho and Baldassin 2014], pode-se verificar que as STMs possuem uma melhor eficiência energética para a maioria das aplicações, enquanto que, para aplicações com transações pequenas, as HTM se saem melhor. Isto se deve à capacidade limitada da cache em acomodar grandes transações e ao número de cancelamentos (*aborts*).

Neste contexto onde o consumo de energia parece depender do tamanho médio das transações e do tamanho de cache, e como implementações de HTM começaram a se firmar em processadores comerciais, este trabalho propõe usar HyTM para obter um bom compromisso entre STM e HTM para otimizar a eficiência energética de sistemas computacionais. Embora existam trabalhos sobre HyTMs (como por exemplo [Matveev and Shavit 2015]), eles limitam-se a avaliar o impacto no desempenho e negligenciam a eficiência energética.

Como o consumo de energia depende do tamanho das transações e do número de *aborts*, fica aberta uma possibilidade de implementar e analisar HyTM que tire o melhor proveito das HTMs e das STMs, gerando uma execução com uma maior eficiência energética. Uma ideia para uma implementação de HyTM envolve o uso de uma estratégia de escalonamento de transações onde, por exemplo, transações pequenas pudessem ser executadas em hardware enquanto as demais transações seriam executadas em software.

## Referências

- Carvalho, J. P. and Baldassin, A. (2014). Avaliação de desempenho, consumo de energia e gerenciadores de frequência em sistemas transacionais. *Revista de Iniciação Científica*, 14(3).
- Herlihy, M., Eliot, J., and Moss, B. (1993). Transactional memory: Architectural support for lock-free data structures. In *in Proceedings of the 20th Annual International Symposium on Computer Architecture*, pages 289–300.
- Matveev, A. and Shavit, N. (2015). Reduced hardware norec: A safe and scalable hybrid transactional memory. *SIGPLAN Not.*, 50(4):59–71.
- Nakaike, T., Odaira, R., Gaudet, M., Michael, M., and Tomari, H. (2015). Quantitative comparison of hardware transactional memory for blue gene/q, zenterprise ec12, intel core, and power8. In *Computer Architecture (ISCA), 2015 ACM/IEEE 42nd Annual International Symposium on*, pages 144–157.
- Patterson, D. A. and Hennessy, J. L. (2007). *Computer Organization and Design: The Hardware/Software Interface*. Morgan Kaufmann Publishers Inc., San Francisco, CA, USA, 3rd edition.