

# X Simpósio Brasileiro de Arquitetura de Computadores

## Um Modelo RPDE para Busca Antecipada de Dados num Multiprocessador Baseado em um Simples Nó SMP

Edward D. Moreno  
[edmoreno@lsi.usp.br](mailto:edmoreno@lsi.usp.br)

Sergio T. Kofuji  
[kofuji@lsi.usp.br](mailto:kofuji@lsi.usp.br)

Laboratório de Sistemas Integráveis  
Departamento de Engenharia Eletrônica  
Escola Politécnica da Universidade de São Paulo

### RESUMO

Neste artigo apresenta-se um modelo em Redes de Petri para a técnica de Busca Antecipada de Dados (BAD), especificamente para BAD baseada em *hardware* e conhecida na literatura como seqüencial e fixa. O modelo permite avaliar o desempenho num nó SMP de quatro processadores ligados através de um barramento. Os resultados mostram que BAD igual a um bloco de cache aumenta a performance do nó e explora melhor os seus recursos.

### ABSTRACT

This paper shows a RPDE (Stochastic and Deterministic Petri Net) model, in Petri Nets, for Data Prefetching, in particular Sequential Prefetching which is implemented and based in hardware and its degree of prefetching is constant during all execution time. This model allows for evaluating the performance of this technique for a basic multiprocessor of four processors interconnected through a fast bus. Our model propose some special distributions and functions for key events in the implementation of this prefetching's technique. Our model permit to evaluate the impact of different latencies and bandwidth of the interconnection network. Our results calculated by a confidence interval at least 90 percent, show sequential prefetching with degree equal one is a good alternative to reduce the big latencies associated to local-remote access in a single SMP-based multiprocessor.

## 1. INTRODUÇÃO

A busca antecipada de dados<sup>1</sup> é uma técnica importante que tenta reduzir a latência média dos acessos ao sistema de memória em sistemas multiprocessadores escaláveis com caches coerentes. Qualquer esquema de busca antecipada de dados tem como objetivo principal reduzir o tempo de espera do processador, trazendo dados e armazenando-os próximos ao mesmo (seja nos caches privados, ou em *buffers* específicos para dados antecipados etc.) antes que eles sejam usados. Desta maneira, quando tais dados forem requeridos pelo processador, eles poderão ser acessados sem atrasos. A sua implementação pode ser baseada em *hardware*, *software* ou em esquemas híbridos.

Esquemas de busca antecipada de dados iniciados por *hardware* têm a vantagem de não depender da tecnologia de compilador, mas pode ser muito mais custoso de se implementar. A forma mais simples e possivelmente efetiva de fazer busca antecipada de dados iniciada por *hardware* é a Busca Antecipada Seqüencial e Fixa (BAD-SF). Quando uma falha de cache acontece ao bloco de cache "b", esta técnica armazena nos mesmos caches solicitantes (ou nos *buffers* dedicados ao *prefetching*) os "p" blocos seguintes, i.e., os blocos  $b+1$ ,  $b+2$ , ...,  $b+p$ , localizados adjacientemente no cache ou no módulo de memória que responde ao pedido do bloco "b".

Estudando vários trabalhos [Dahl95, Tull95, Bian95, Chen95] que visaram caracterizar o desempenho da busca antecipada de dados para diferentes arquiteturas, notou-se que a maioria efetuou análise via simulação comandada a rastros ou a execução. Existem muitos poucos estudos [Bian96] analisando esta importante técnica via modelamento analítico ou uma técnica diferente.

## 2. MODELO DE REDES DE PETRI PARA PREFETCHING

Levando em consideração a importância da técnica de *prefetching* e os poucos estudos via modelos em redes de Petri, redes de fila ou modelos analíticos, nesta seção propõe-se um modelo em redes de Petri para busca antecipada de dados seqüencial fixa (BAD-SF) num multiprocessador simples baseado em um único nó SMP.

<sup>1</sup> Busca Antecipada de Dados, BAD, é conhecida no mundo acadêmico como *data prefetching*. No decorrer do capítulo, esta técnica será simplesmente chamada de BAD ou *prefetching*.

# X Simpósio Brasileiro de Arquitetura de Computadores

A figura 1 mostra a organização básica do nó. Este multiprocessador é composto por quatro processadores de alto desempenho, com os seus respectivos caches locais, e um único módulo de memória principal, os quais são interconectados através de um barramento.

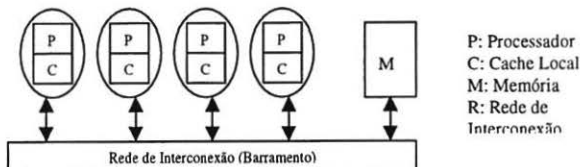


Figura 1 Organização de um simples nó SMP

**Modelo RPDE:** A figura 2.(a-b) mostra o modelo RPDE (Rede de Petri Determinístico e Estocástico) para fazer busca antecipada de dados seqüencial fixa, na arquitetura mostrada na fig. 1.

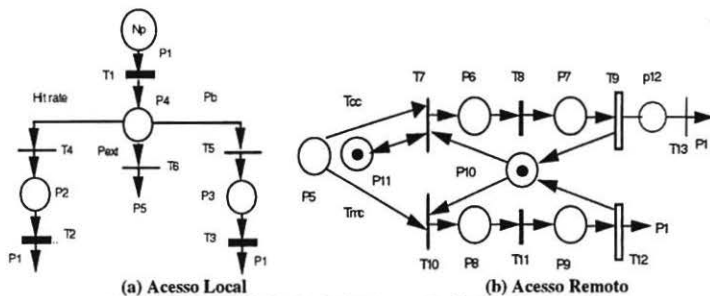


Figura 2 Modelo de Redes de Petri para Prefetching Seqüencial Fixo

O modelo é dividido em duas partes, a saber: (a) Acesso a um dado local e, (b) Acesso a um dado remoto. Os dois modelos da figura 2 estão associados à análise dos dados, estejam eles localizados próximos aos processadores ou remotamente. É bom salientar que acessos remotos são todos aqueles acessos que não estão próximos aos recursos de memória próprios de cada processador do nó SMP.

Na tabela 1, pode-se observar que os fatores são: o grau do *prefetching* (inserido nas funções das transições T9, T10, T13, é chamado  $D_p$ ), a taxa de sucessos nos caches locais (*hit rate*, transição T4), a taxa de sucesso dos *buffers* (transição T5, representada como Pb ou Pefibuf).

Tabela 1 Valores usados na Solução do Modelo RPDE

TRANSIÇÃO	IDENTIFICAÇÃO	FATOR [valor]
T1	Depende do processador e do programa	Não. 2.0
T2/T3	Exponencial / Exponencial	Não. 1 ciclo/acesso e 2 ciclos/acesso
T4	Taxa de sucesso no cache ( <i>hit rate</i> )	SIM. [0.50, 0.75, 0.95]
T5	Taxa de sucesso no <i>buffer</i>	SIM. [0.5, 0.7, 0.9]
T6	Pexterno = 1-Hit-Pb	Não.
T7	Tcc. Assume-se um bom grau de compartilhamento	Não. 0.75
T8 e T11	Exponencial e Exponencial	1 e 4 ciclo/acesso
T9	Determinística. Latência + BE $BE = FB * (1 + D_p * P_f) / (T_{blocal} / T_{rede})$	SIM. Depende da rede
T10	$T_{mc} = 1 - T_{cc}$	Não. 0.25
T12	Determinística. Latência + 2*BE $BE = FB * T_{blocal} / T_{rede}$	SIM. Depende da rede
T13	Exponencial. Depende do número de blocos BAD	Não.
Outros Parâmetros	Processadores = 200 MHz e 200 MIPS Largura de Banda da Rede (Barramento): 400 Mbytes/s Duto de 64 bits. Blocos de 64 bytes	Número de Processadores = 4 Tempo de Simulação no RP_SIM = 100000 ciclos

# X Simpósio Brasileiro de Arquitetura de Computadores

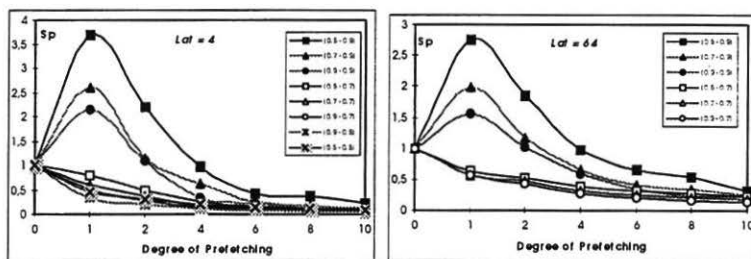
## 3 ANÁLISE DE DESEMPENHO

A solução do modelo RPDE é realizado com um simulador especial para redes de Petri, desenvolvido no Laboratório de Sistemas Integráveis da Escola Politécnica da Universidade de São Paulo (LSI-EPUSP), e conhecido como RP\_SIM [More98]

## 4. EFEITO DA LATÊNCIA NO DESEMPENHO DE BAD

Os dois parâmetros da arquitetura que mais podem influenciar o desempenho da técnica de *prefetching* são aqueles associados à rede de interconexão, isto é, a latência (*lat*) e largura de banda (*BW*). Nesta sub-seção analisa-se o impacto nas mudanças da latência em função do grau de *prefetching* para diferentes probabilidades *Pf* e *Pb*, as quais estão associadas ao comportamento das aplicações, especificamente ao seguimento das operações de coerência de cache necessárias para manter consistente o sistema de memória do nó [More98/94].

A figura 3 descreve o comportamento do *prefetching* para diferentes valores de latência da rede de interconexão, medido através do *speedup* em função do grau da BAD (*degree of prefetching*). A figura divide-se em quatro, cada uma para latências iguais a 4, 16, 32 e 64 ciclos de processador. Nestas figuras, são mostradas as probabilidades (*Pf*, *Pb*) que permitem um melhor desempenho da técnica BAD. Aparecem valores de *Pf*=0.5, 0.7 e 0.9. Similarmente *Pb*=0.5, 0.7 e 0.9. Isto quer dizer que probabilidades diferentes a esses valores degradam a performance da técnica BAD.



(a) Latência = 4 ciclos de processador (b) Latência = 64 ciclos de processador  
Figura 3 Speedup da técnica BAD-SF para diferentes latências de rede

Na figura 3, pode-se observar que somente se obtém ganhos usando a técnica BAD-SF para graus de *prefetching* menores a quatro, inclusive para grandes latências (64 ciclos de processador). Este resultado é excelente, pois assegura que para redes lentas, onde se esperava uma degradação maior usando *prefetching*, pode-se reduzir os tempos de execução aumentando o *speedup* do nó.

Na utilização da rede de interconexão, observa-se que o *prefetching* efetivamente aumenta o seu uso, e que, em tamanhos pequenos, esta sobrecarga, apesar de considerável, melhora a utilização da rede, sempre que a maioria dos dados buscados antecipadamente forem usados com uma probabilidade mínima de 50%.

Uma outra observação é que a contenção (*Bu %*) mostrada na figura 5 diminui até 18% para uma latência de 4 pccios (ciclos de processador) e até 35% para uma latência de 64 ciclos, para um *Dp*=1. No intervalo de *Dp*=1-4, o tempo de espera é dominado pelo tempo efetivo de transmissão na rede e para *Dp* > 4, tal tempo é dominado pelo tempo de espera da rede. Por tal motivo, o desempenho de BAD é negativo para *Dp* > 4.

## 5 EFEITO DA LARGURA DE BANDA

Sabendo-se que um dos principais pontos críticos do nó SMP, para uma boa eficiência da técnica de *prefetching* sequencial fixa (BAD-SF), relaciona-se com a rede de interconexão, especificamente com a sua limitada largura de banda (*bandwidth*), nesta seção efetua-se melhoramentos nesse parâmetro. Aumenta-se a largura de banda da rede, em 50%. Mantendo-se os mesmos valores de latência analisados e mostrados nas figuras 3, simula-se novamente o sistema e comparam-se os efeitos, usando maior largura de banda e mantendo todos os outros parâmetros constantes.

Os resultados obtidos estão resumidos na tabela 2, aparecendo em dupla [I, (J)], onde "I" indica as porcentagens dos melhoramentos sobre o *speedup* e "J" representa os benefícios sobre a rede de interconexão,

# X Simpósio Brasileiro de Arquitetura de Computadores

isto é a diminuição da contenção. Dos resultados mostrados na tabela 2 pode-se mencionar que existem menores melhoramentos em sistemas cujas redes possuem uma grande latência. Também pode-se observar menores benefícios naqueles programas cuja taxa de sucesso nos *buffers* é pequena (i.e. inferior a 70%) e existem maiores benefícios em aplicações que já possuam uma excelente localidade espacial, refletida num valor alto da probabilidade  $Pf=Pefibuf$ .

**Tabela 2 Efeito da Largura de Banda na Técnica BAD-SF**  
**Melhoramentos sobre o *speedup* e utilização da rede para aumentos de 50% na BW**

(Pf, Pb)	Grau (Dg)	Latência			
		4	16	32	64
0.5, 0.9	1	1 (6)	17 (7)	22 (10)	3 (7)
	2	6 (10)	25 (5)	66 (80)	8 (6)
	4	20 (29)	67 (50)	61 (33)	35 (19)
	6	79 (66)	62 (51)	49 (28)	75 (51)
0.7, 0.9	1	33 (11)	11 (3)	21 (12)	15 (14)
	2	40 (29)	41 (20)	50 (29)	60 (45)
	4	16 (27)	57 (39)	18 (4)	55 (37)
	6		46 (32)		57 (43)
0.9, 0.9	1	30 (10)	62 (30)	22 (7)	40 (30)
	2	1 (8)	46 (31)	56 (35)	32 (24)
	4	49 (54)	32 (25)	50 (28)	37 (17)
	6				61 (31)
0.7, 0.7	1	50 (69)	25 (23)	26 (25)	12 (9)
	2	13 (33)	32 (35)	11 (12)	13 (10)
	4	3 (23)	22 (21)	24 (14)	18 (5)
0.9, 0.7	1	37 (58)	40 (47)	21 (20)	3 (1)
	2	17 (43)	17 (22)	27 (19)	17 (7)
	4	14 (36)	16 (12)	27 (18)	32 (13)

É bom destacar que aqueles pontos, definidos pelas probabilidades (Pf, Pb), que anteriormente não apresentaram benefícios com *prefetching*, especialmente para um grande número de blocos sendo transmitidos pela rede, aumentando-se a largura de banda pode-se favorecer na busca antecipada. Isto significa que melhores larguras de banda oferecerão maiores possibilidades de se ter uma melhor performance na técnica BAD-SF.

## 6 CONCLUSÕES

Dos resultados obtidos pode-se concluir que, independentemente do programa aplicativo em execução e do seu grau de compartilhamento (medido pelas probabilidades Pf e Pb), a técnica BAD-SF para um número maior do que quatro "4" não melhora o desempenho do sistema. Um grau de no mínimo um ( $Dp=1$ ) e no máximo três ( $Dp=3$ ), oferece ganhos no *speedup* do nó sempre que a taxa de sucessos nos *buffers* for superior a 50%, em redes cuja latência seja no máximo de 64 ciclos de processador.

Como era esperado, os benefícios da técnica BAD oferecem melhores resultados quando a rede de um nó é relativamente rápida, resultados visualizados sob pequenas latências e razoáveis larguras de banda, sempre que a taxa de sucesso dos *buffers* para *prefetching* for alta (acima de 70%).

## 7. REFERÊNCIAS

- [Bian96] Bianchini, Ricardo; Lim, B.H. Evaluating the Performance of Multithreading and Prefetching in Scalable Multiprocessors. *Journal of Parallel and Distributed Computing, special issue on Multithreading for Multiprocessors*, Aug., 1996.
- [More98] Moreno, Edward D. Caches Remotos e Prefetching em Sistemas Multiprocessadores de Alto Desempenho: Considerações Arquiteturais. *Tese de Doutorado, Universidade de São Paulo*, Agosto, 1998.
- [More94] Moreno, Edward D. Efeito da Coerência de Cache e da Pré-Busca em Sistemas Multiprocessadores de Memória Compartilhada. *Dissertação Mestrado, Universidade de São Paulo*, Nov., 1994.