

UM MULTIPROCESSADOR ORTOGONAL USANDO DSPs

Autores: MSc. Marcos Luiz Mucheroni
Dr. José Hiroki Saito

RESUMO

Este trabalho mostra uma proposta de implementação de Multiprocessador Ortogonal (OMP) usando quatro processadores TMS 32040 compartilhando 16 módulos de memória dispostos em linhas ou colunas, e uma interface barramento EISA usando outros dois TMS com memória global de 4 MWords expansíveis.

ABSTRACT

This paper shows a proposal of implementation of Orthogonal Multiprocessor (OMP) using four processors TMS 32040 sharing 16 modules of memories disposed in rows or columns, and a interface EISA-bus using others two TMS with 4 MWords of global memory and 4 MWords of expansible local memory.

Endereço: UFSCar - Departamento de Computação
Via Washington Luis, Km. 235
Cx.Pt. 676 - Fax: (0162) 712081
Telefone: (0162) 748232

E-Mail: UFSCarC@BrFapesp.Bit.Net subject: Peninha

1. INTRODUÇÃO

Muitas arquiteturas com memória partilhada tem surgido nos últimos anos, cada uma com topologias específicas, com vantagens e desvantagens, entre elas: sistemas diretamente conectados, conexão crossbar e redes multi-estágios.

Anos atrás, três grupos independentes desenvolveram arquiteturas similares [Buehrer82], [Hwang85] e [Scherson87], feitas com arranjos bi-dimensionais de memórias partilhadas com capacidade para abordar memórias concorrentemente sem conflito. Os dois trabalhos mais recentes implementam o conceito de multiprocessador com acesso à memória ortogonalmente partilhada. Tal arquitetura ficou conhecida como "Sistema Multiprocessador Ortogonal" (OMP: Ortogonal MultiProcessor).

Este sistema permite programar uma grande classe de algoritmos matriciais que incluem: sistemas lineares, álgebra matricial, processamento de sinais, imagens, gráficos e equações diferenciais parciais (PDEs). Um trabalho recente [Hwang89] procura mostrar o desempenho da OMP para estes tipos de algoritmos.

A arquitetura OMP surge numa época onde a tecnologia VLSI tem um grande impulso, com sofisticados processadores que suportam memórias de grande capacidade (acima de 1 Gigabyte), com dispositivos que permitem facilmente paralelismo de processadores.

A principal contribuição deste trabalho está na proposta de uma arquitetura OMP utilizando um tipo de Processador Digital de Sinais (DSPs), o DSP 32040, da Texas Instruments.

2. CARACTERIZAÇÃO DO PROCESSADOR DIGITAL DE SINAIS.

O DSP (Digital Signal Processor) é um microprocessador com grande capacidade de manipulação de sinais digitalizados. Dentre as suas capacidades, em geral, incluem: multiplicação rápida, facilidade de manipulação de pacotes de dados (RAMs internas), geração de endereços de modo especial para liberar a ULA, dispositivos de comunicação de dados rápidos, etc.

No caso do DSP 32040, destacam-se dentre outras vantagens: (a) execução de funções aritméticas incluindo multiplicação em um ciclo de CPU; (b) deslocamento em potências de 2 (deslocamento em barril); (c) funções de transferência de dados direto da memória (6 canais de DMA); (d) seis canais de comunicação rápidos (5 MWords/s) com arbitragem interna, com duas FIFOs de entrada/saída de 8 palavras; (e) pipeline no ciclo de execução de instruções, e (f) dutos separados de acesso a duas memórias externas: local e global. Dois registradores (IR0 e IR1) das unidades aritméticas auxiliares (ARAU0 e ARAU1) podem gerar dois endereços num ciclo simples, suportam endereçamento com deslocamento, indexado e bit-reverso.

A figura 1 mostra uma visão geral do DSP:

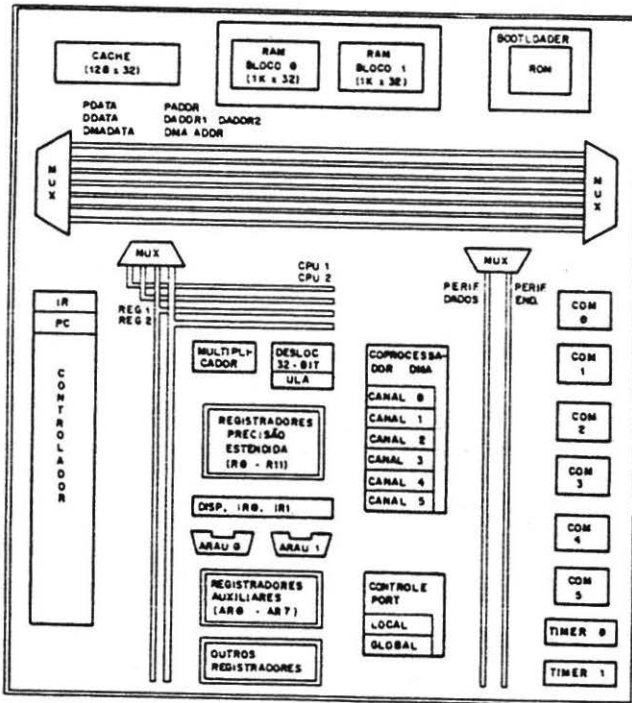


Figura 1 - O processador TMS 32040.

3. A ARQUITETURA OMP COM USO DO DSP 32040.

A arquitetura OMP aplica-se para número pequeno e moderado de paralelismo, de 4 a 256 processadores. A complexidade do controle da OMP é significativamente pequena em relação a muitos multiprocessadores existentes, devido aos modos de operação restritos, impostos pela ortogonalidade.

Os processadores DSP 32040 tem dois dutos de acesso à memória independentes. Os dutos locais são usados para abordar as linhas em conjunto de quatro módulos, alternadamente; os dutos globais são usados para abordar os conjuntos de quatro módulos em colunas, de modo que cada processador enderece sua linha ou coluna. As portas de comunicação são usadas para conectar os processadores, de tal forma que para comunicar com o processador i usa-se o canal Com i . Os canais Com0 e Com5 dos 4 processadores são usados para comunicar com os processadores de interface com o hospedeiro na ordem de disposição das UCPs.

A figura 2 dá um esquema da implementação do OMP usando TMS.

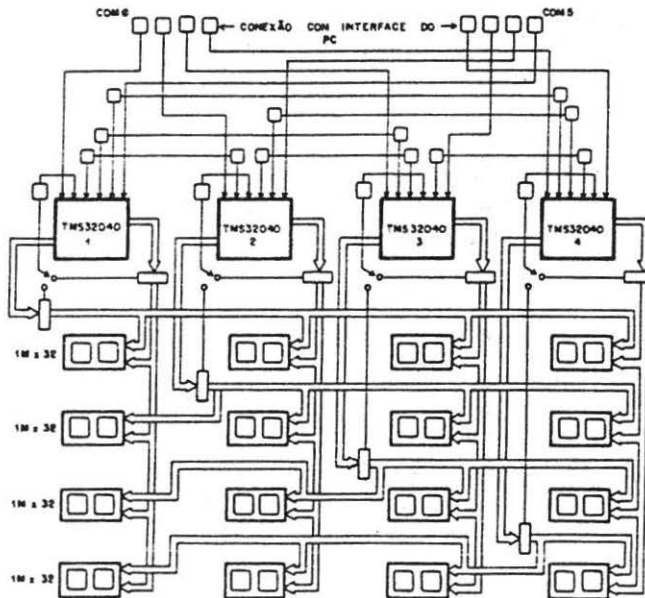


Figura 2 - Multiprocessador Ortogonal usando TMS 32040.

4. INTERFACE COM BARRAMENTO EISA.

Para implementação da entrada e saída com o hospedeiro escolheu-se barramentos ISA estendidos (EISA), usando dois DSP 32040, cada um com memória local (4 MWords expansíveis), global (4 MWords) e módulos de EPROM para o carregamento inicial (Boot). Uma lógica de controle, endereço e arbitramento permite a interconexão no barramento do hospedeiro. Quatro canais de comunicação por DSP permitem a comunicação com o OMP.

O DSP tem à disposição a transferência por DMA de blocos de dados de uma memória para outra, transparente à CPU. Isso faz com que a troca de dados entre dois pares de processadores seja facilitada, nos processadores de interface, mas principalmente quando o algoritmo faz acesso ortogonal às memórias, com frequência baixa de troca de acesso linha/coluna, ou seja, granularidade grossa.

A figura 3 mostra o módulo de interface.

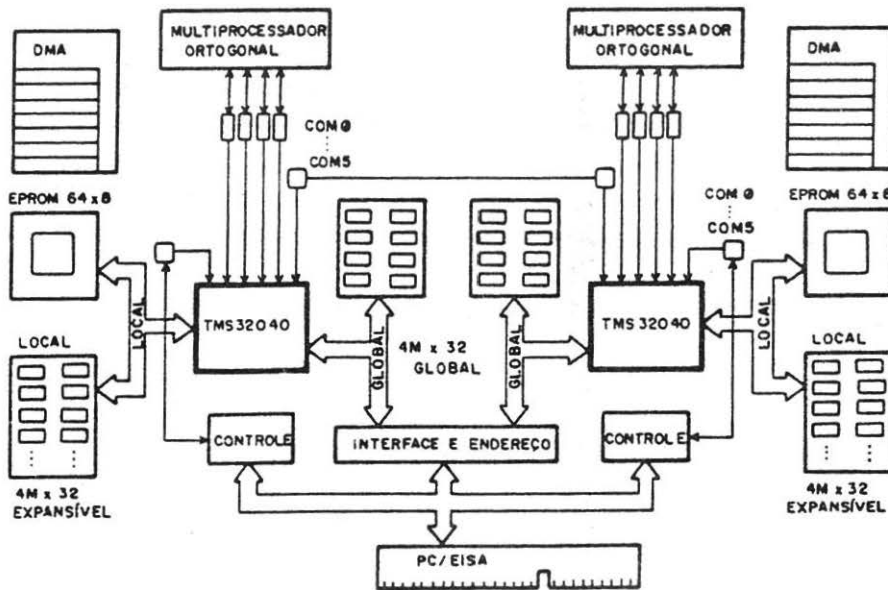


Figura 3 - Interface do Multiprocessador Ortogonal.

5. CONCLUSÕES

Na arquitetura OMP, o processamento de algoritmos com acesso ortogonal aos módulos de memória atingem um desempenho perto do valor nominal de 50 MFlops por processador, uma vez que a transferência dos dados entre os processadores é minimizada. Isso significa que uma arquitetura com 4 processadores constitui uma máquina de 200 MFlops.

O desenvolvimento de projetos de arquiteturas multi-processadores usando DSPs, na Universidade Federal de São Carlos, foi iniciado há 3 anos, em desenvolvimento utilizando DSP32030 [Ferasoli91], que resultou num protótipo de hardware e o desenvolvimento de um montador e um simulador do DSP. O presente trabalho, que se encontra no estágio final de projeto do hardware, é uma evolução do primeiro projeto, por permitir a exploração das facilidades de interconexões inerentes ao DSP 32040, no conceito de processamento ortogonal.

6. BIBLIOGRAFIA

- [Buehrer82] Buehrer, R.E. et al., "The ETH Multiprocessor EMPRESS A dynamically reconfigurable MIMD system", IEEE Trans. Comput. vol. C-31, pp. 1035-1044, Nov. 1982.
- [Ferasoli91] Ferasoli Filho, H.; Pegoraro, R. e Saito, J.H. - "Arquitetura Multiprocessadora para Processamento de Imagens explorando Processadores Digitais de Sinais", Anais do IV Simpósio Brasileiro de Computação Gráfica e Processamento de Imagens, pp. 87-92, 1991.
- [Hwang85] Hwang, K. e Tseng, P.S., "An efficient VLSI multiprocessor for signal/image processing", in Proc. Int. Conf. Comput. Design, Oct. 1985, pp. 172-176.
- [Hwang89] Hwang, K., Tseng, P.S. e Kim, D., "An Orthogonal Multiprocessor for Parallel Scientific Computations", IEEE Trans. on Comp., vol. 38, Jan. 1989.
- [Scherson87] Scherson, I.D. e Ma, Y., "Vector computations on an orthogonal memory access multiprocessing system" in Proc. 8th Symp. Comput. Arithmetic, Maio 1987, pp. 764-771.