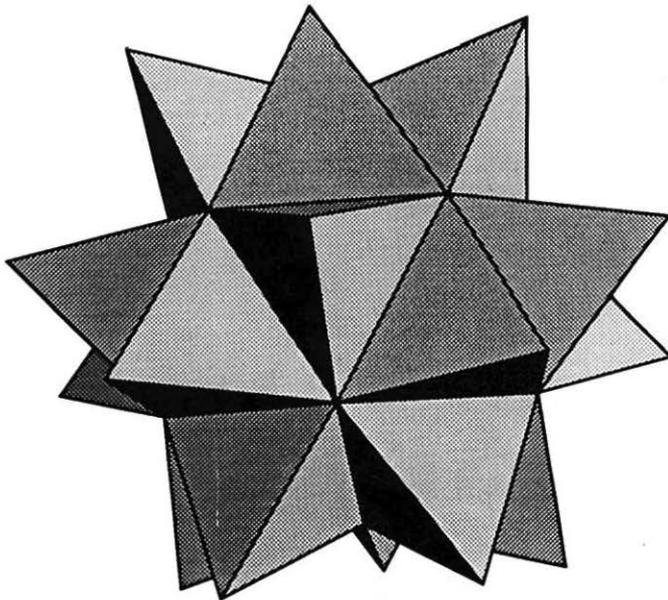


Anais do

III Simpósio Brasileiro de Arquitetura de Computadores
Processamento Paralelo

III SBAC — PP



Sociedade Brasileira de Computação — SBC

Departamento de Informática da PUC/ RJ

Rio de Janeiro, 7 a 9 de novembro de 1990

III Simpósio Brasileiro de
Arquitetura de Computadores e
Processamento Paralelo
III SBAC-PP
Rio de Janeiro, RJ

ANAIS

Promoção:

- Sociedade Brasileira de Computação - SBC
- Departamento de Informática da PUC-RIO

Patrocínio:

- Fundação de Amparo à Pesquisa do Estado do Rio de Janeiro - FAPERJ
- IBM Brasil

Apoio:

- UNI-RIO
- NCE e COPPE (UF)

Comitê de Programa

- Alberto Santoro (CBPF)
- Arthur João Catto (CTI/SEI)
- Carlos Moura (LNCC)
- Claudio Amorim (COPPE/UFRJ)
- Daniel Alberto Menascé (PUC-RIO)
- Eduardo Whitaker Bergamini (INPE)
- Jairo Panetta (CTA/IEAV)
- José Henrique Zilberberg (CPqD/Telebrás)
- Júlio Salek Aude (NCE/UFRJ)
- Miguel Menascé (PUC-RIO)
- Oswaldo Farah (UFMG)
- Philippe Navaux (UGRGS)
- Rafael Lins (UFPE)
- Routo Terada (IME/USP)
- Solon Benayon Silva (IBM Brasil)
- Valmir Barbosa (COPPE/UFRJ)
- Virgílio Augusto Fernandes Almeida (UFMG)

Coordenador

- Daniel Alberto Menascé (PUC-RIO)

Apresentação

A demanda cada vez maior por computação de alto desempenho em áreas das mais variadas, indica que os requisitos das aplicações da década de 90 não poderão ser facilmente atingidos com arquiteturas convencionais. Os limites da Física restringem os avanços que podem ser obtidos através de desenvolvimento de novas tecnologias, emprego de novos materiais, etc. A solução reside no uso de arquiteturas inovadoras com uso intensivo do paralelismo. É neste contexto que se situam as contribuições técnicas dos artigos selecionados pelo comitê de programa deste simpósio. Os 25 artigos que constam destes anais se subdividem, conforme suas áreas como se segue: 8 em Arquitetura, 3 em Estruturas de Comunicação, 3 em Linguagens de Programação e Compiladores, 4 em Sistemas Operacionais, 3 em Aplicações e 3 em Análise e Modelagem de Desempenho.

A realização deste Simpósio é um dos objetivos fundamentais da Comissão Especial de Processamento Paralelo e Arquitetura de Computadores da Sociedade Brasileira de Computação. Esta série de simpósios teve início em Gramado, Rio Grande do Sul em 1986. O II SBAC-PP ocorreu em Águas de Lindóia, São Paulo, em 1988. O número de participantes e a qualidade dos trabalhos tem evoluído de ano para ano, refletindo a importância cada vez maior da área.

Gostaríamos de agradecer a todos os membros do Comitê de Programa e aos revisores externos ao Comitê pelo seu empenho e cuidado na avaliação dos trabalhos. Agradecimentos especiais são devidos a alguns dos membros do Comitê de Programa que também atuaram na organização do simpósio. Agradecemos a todas as instituições que, apesar da crise econômica pela qual atravessa o País, ajudaram a patrocinar o evento permitindo que ele acontecesse.

Rio de Janeiro, Novembro de 1990.



Daniel Alberto Menascé
Coordenador do III SBAC-PP

Conteúdo

Sessão I - Aplicações

- *Implementação de Algoritmos de Visão Computacional numa Rede de "Transputers"*, Vania Vieira Estrela e Osamu Saotome (IEEA/ITA).
- *Um Modelo de Redes Neurais para Controle de Sistemas Robóticos*, Marcio Luiz Bunte de Carvalho e Wagner Meira Junior (DCC/UFMG).
- *Resolução de Sistemas de Equações Lineares Utilizando uma Biblioteca de Operações Vetoriais/Matriciais Paralelas*, M.C.S. Castro e C.L. Amorim (COPPE/UFRJ).

Sessão II - Arquiteturas I

- *Arquitetura de um Processador de Aritmética Intervalar Configurável como Processador de Produto Escalar*, Carlos Marcelo Dias Pazos, Claudia Ma. Ribeiro Azevedo, Márcia de Barros Correia (UFPE).
- *Requisitos de Hardware para Processamento a Fluxo de Dados Distribuído*, Eduardo Marques (ICMS/USP), Rosana C.M.G. Gonçalves e Claudio Kirner (DC/UFSCar).
- *Arquitetura Policíclica Assíncrona*, Geraldo Lino de Campos (IFT-UNESP).

Sessão III - Sistemas Operacionais

- *Algoritmos de Escalonamento em Multiprocessadores com Arquitetura Heterogênea*, Stella C. S. Porto (IBM Brasil) e Daniel A. Menascé (DI-PUC/RJ).
- *Análise de Políticas de Escalonamento em Sistemas Paralelos Multiprogramados*, Ivo Marcio Michalik Vasconcelos e Virgilio A. F. Almeida (DCC/UFMG).
- *MULPLIX: Um Sistema Operacional tipo UNIX para o Multiprocessador MULTIPLUS*, Gustavo Peixoto de Azevedo, Rafael Peixoto de Azevedo, Norival Ribeiro Figueira e Julio Salek Aude (NCE/UFRJ).
- *DIX: Um Sistema Operacional Distribuído para Estações de Trabalho Multiprocessadoras Heterogêneas*, Antonio Marinho Pilla Barcellos, Benhur de Oliveira Stein, Marcos Vinicius Innocente Luz e Valdir Rossi Belmonte Filho (CPGCC UFRGS).

Sessão IV - Arquiteturas II

- *Prova de Correção de Mecanismos de Controle de Coerência em Multiprocessadores*, Adélia Cecilia G. Nunes (Embratel) e Daniel A. Menascé (DI-PUC/RJ).
- *Um Mecanismo Integrado de Controle de Coerência e Concorrência*, Adélia Cecilia G. Nunes (Embratel) e Daniel A. Menascé (DI-PUC/RJ).
- *Sistemas de Memórias Multicache para Uma Máquina Paralela MIMD Projeto MULTIPLUS*, Ageu Pacheco Jr. e Alexandre M. Meslin (NCE/UFRJ).

Sessão V - Estruturas de Comunicação

- *Aumentando a Conectividade de Processos em Redes de "Transputers"*, Sergio V. Cavalcante e Márcia de Barros Correa (DI-UFPE).
- *Estratégias de Comunicação em Multiprocessadores Fracamente Acoplados*, João Paulo F. W. Kitajima e Philippe O. A. Navaux (CPGCC/UFRGS).
- *Um Servidor de Processamento Paralelo Baseado em "Transputers"*, Onofre Trindade Jr. e Marcos José Santana (ICMSC USP).

Sessão VI - Linguagens de Programação e Compiladores

- *Um Sistema LISP Paralelo*, Wellington Santos Martins (DEI-UFMG) e Geraldo F. Guidacci da Silveira (DEE-PUC/RJ).
- *A Shared Memory Architecture for Parallel Cyclic Reference Counting*, Rafael D. Lins (DI-UFPE).
- *Otimização de Programas ACTUS*, Paula Marisa da C.P.F. Maciel e Claudio Amorim (COPPE/UFRJ).

Sessão VII - Arquiteturas e Sistemas Operacionais

- *Primitivas de Sincronismo para um Sistema Operacional Altamente Paralelo*, Felipe Knop (LSI-DEE-EPUSP).
- *O Subsistema de Memória de Massa do Multiprocessador MULTIPLUS*, Sidney de Castro Oliveira e Júlio Salek Aude (NCE-UFRJ).
- *PTS-Uma Arquitetura de Alto Desempenho para Sistemas de Telecomunicações*, J.H. Zilberberg, Artur Pestana e Eliso Cavalli (CPqD-Telebrás).

Sessão VIII - Análise e Modelagem de Desempenho

- *Uma Avaliação de Estruturas de Memória para Multiprocessadores*, Raul Queiroz Feitoza (DEE-PUC/RJ).
 - *Análise do Desempenho de Redes de Interconexão para Máquinas Paralelas*, Gerson Bronstein, Adriano Joaquim de Oliveira Cruz (NCE-UFRJ) e Otto Carlos Muniz Bandeira Duarte (COPPE/UFRJ).
 - *Análise Quantitativa de Arquiteturas Pipeline*, Paulo Fernandes, Roland Teodorowitsch e Philippe O. Navaux (CPGCC-UFRGS)
-