

PTS - UMA ARQUITETURA DE ALTO DESEMPENHO PARA SISTEMAS DE TELECOMUNICAÇÕES.

J.H.Zilberberg
Artur Pestana
Eliso Cavalli

CPqD - Centro de Pesquisa e Desenvolvimento - TELEBRÁS

Resumo:

Este trabalho apresenta uma estrutura de Processamento Paralelo aplicável aos elementos que requerem alta capacidade de elaboração em uma arquitetura de rede inteligente. Descreve em particular, a estrutura de processamento para um Ponto de Transferência de Sinalização(PTS).

Abstract:

This paper introduces a Parallel Processing Structure Applied in an Intelligent Network environment for Telecommunications systems. Describes an enhanced Signalling Transfer Point(STP) architecture as a typical parallel processing application.

1 Introdução

Este trabalho define uma estrutura de processamento básico aplicável aos vários elementos que compõem uma arquitetura de rede inteligente, em um sistema de telecomunicações.

Esta estrutura deverá prover os recursos de processamento necessário às funções relacionadas aos seguintes elementos:

- Ponto de Transferência de Sinalização(PTS);
- Ponto de Controle de Serviços(PCS);
- Sistema de Gerência de Serviços(SGS);
- Sistema de Gerência de Rede de Sinalização(SGRS).

Tanto o hardware quanto o software deverão permitir o crescimento modular do sistema, à partir de uma dada configuração mínima, de modo a acompanhar a evolução dos serviços, tanto de forma qualitativa quanto quantitativa.

Para uma melhor compreensão, é definido a seguir o conceito de Arquitetura de Rede Inteligente.

A Rede Inteligente é um conceito aplicável à rede de telecomunicações que permite a evolução da rede telefônica pública comutada existente, oferecendo serviços especiais através de centros de comutação e de bases de dados. Objetiva primordialmente a introdução de novos serviços e a melhoria dos existentes.

Os integrantes básicos que constituem a arquitetura de Rede Inteligente são descritos a seguir.

Pontos de Transferência de Sinalização(PTS) - Centros de comutação de mensagens de sinalização de elevada capacidade, que possibilita a comunicação de dados entre os diversos elementos da Rede Inteligente.

Pontos de Controle de Serviços(PCS) - Sistema de consulta a base de dados contendo as informações necessárias para o encaminhamento de chamadas(por exemplo: converte uma chamada para um serviço 800 em número de assinante).

Pontos de Acesso a Serviços(PAS) - Constituídos por centrais CPA com a função de processamento e acesso das chamadas originadas na rede de telecomunicações aos serviços oferecidos pela Rede Inteligente.

Rede de Sinalização por Canal Comum no 7 do CCITT - Utilizado na comunicação entre os elementos que compõem a rede inteligente.

Sistema de Gerência de Serviços(SGS) - Efetua o processo de carga e manutenção dos PCS's com as informações de controle e atualização de serviços.

Sistema de Gerência da Rede de Sinalização(SGRS) - Com funções de supervisão e administração da rede de sinalização.

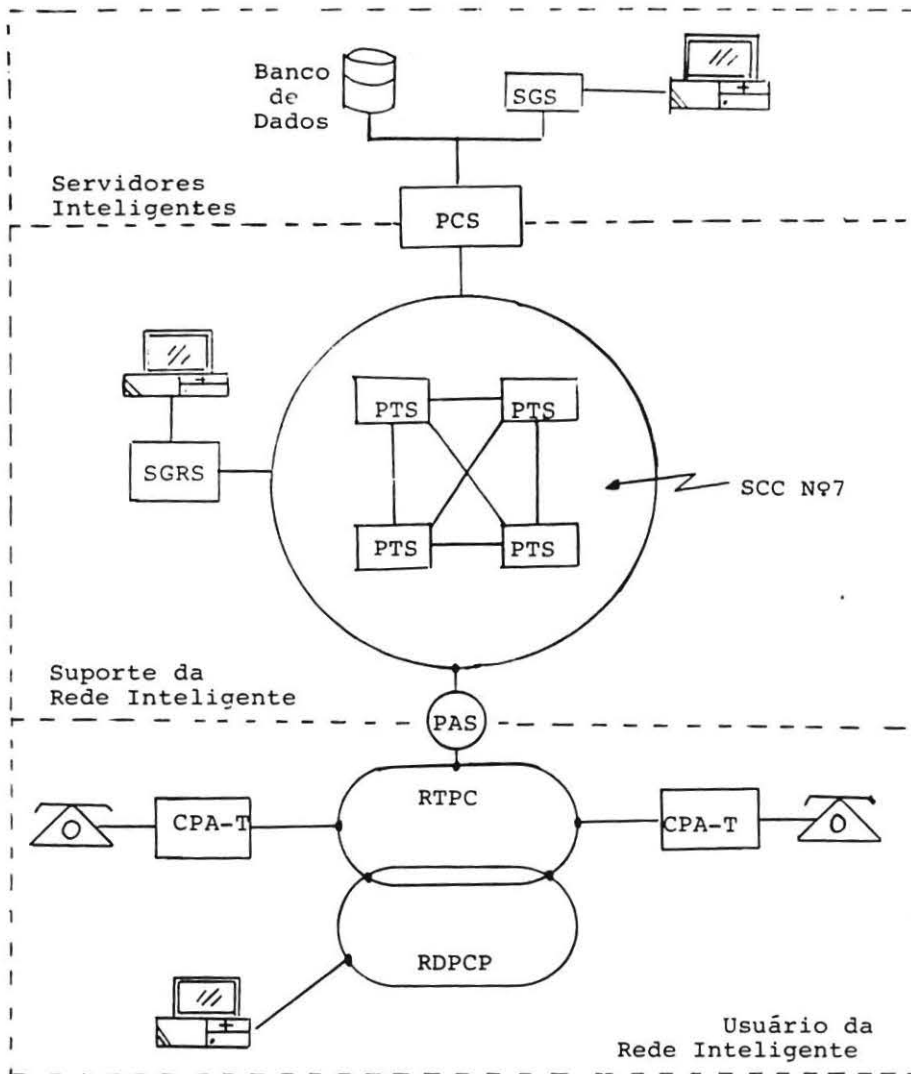
O conceito de Rede Inteligente é aplicável à Telefonia Móvel, Redes de Comutação por pacotes e RDSI.

A seguir são descritos alguns ds principais serviços prestados no contexto da Rede Inteligente:

- Serviço 800(DDG)
- Televoto
- Número pessoal
- Cartão de Crédito Telefônico(TELECARD)
- Rede Virtual Privativa
- Localização de Usuários
- Teleconferência
- Distribuição automática de chamadas através da Rede Pública comutada
- etc...

A figura -1 mostra alguns dos elementos componentes de uma Rede Inteligente.

Embora possa ser aplicada em vários dos elementos da Rede Inteligente, a estrutura de processamento apresentada a seguir aborda um dos componentes que requer alta capacidade de elaboração e que, portanto, será a base desse trabalho.



RTPC - Rede Telefônica Pública Comutada
 RDPCP- Rede de Dados Pública de Comutação de Pacotes

FIG.1 - ARQUITETURA DA REDE INTELIGENTE

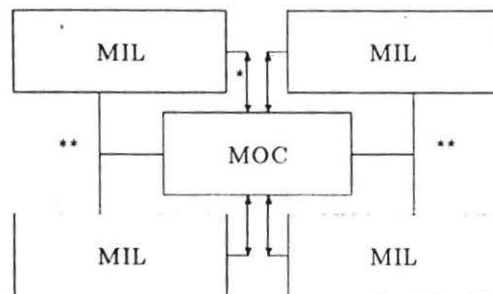
2 Arquitetura do sistema PTS:

A figura 2 apresenta a arquitetura básica do sistema PTS, constituída por 5 módulos interligados por uma configuração estrela ao módulo de operação e comutação (MOC) através de 2 canais seriais de 100Mb/s (taxi chip).

Para a comutação de um total de 256 canais de 64Kbits/s foram empregadas técnicas de processamento paralelo, no sentido de dividir a carga de processamento.

Os dois tipos de módulos empregados têm as respectivas funções:

- MIL (módulo de interface de linha): Este módulo é responsável pelo tratamento das interfaces de linha (PCM 2Mb/s) sendo tratadas até 3 interfaces de 2Mb/s em um módulo MIL, correspondendo cada uma a 32 canais de sinalização de 64 Kbits/s que são o objeto da comutação.
- MOC (módulo de operação e comutação): Este módulo implementa a função central de controle de todo o equipamento, além das funções de operação, manutenção, controle de periféricos, interface homem-máquina e notadamente a comutação temporal das interconexões dos módulos.



* 2 enlaces bidirecionais à 100Mb/s

** barramento de sincronismo e sinalização

$$\left\{ \begin{array}{l} 16 \text{ sinais de } handshake \text{ (O.C.)} \\ 08 \text{ de sincronismo} \\ 01 \text{ de } stroke \end{array} \right.$$

MIL = Módulo de Interface de Linha

MOC = Módulo de Operação e Comutação global

Figura 2: *Arquitetura do Sistema PTS*

2.1 Arquitetura “Hardware” do PTS:

A arquitetura do PTS é baseada em 2 módulos, constituídos por sub-bastidores de 19 polegadas com mecânica de 6U(a mesma empregada na Central Telefônica Trópico RA).

O módulo MOC opera como um “front end” para o sistema de comutação de pacotes constituído pelos 4 módulos MIL que permitem a comutação de até 256 X 1.5(redundância). =384 interfaces bidirecionais de 64Kb/s, perfazendo uma taxa total de cerca de 48Mbits/s(considerando a entrada e a saída) de dados tratados (comutados), ou analogamente em termos de pacote de 384K pacotes (de 128 bits)/segundo.

É importante observar que esta taxa de 384K pacote/s não é usada em regime, embora seja suportada, constituindo-se em uma reserva necessária(redundância) à confiabilidade desta aplicação.

Nominalmente o sistema PTS deverá comutar uma taxa máxima de 256K pacotes/s. A aplicação PTS é facilmente implementada por esta arquitetura, uma vez que em configurações maiores poderíamos atingir a marca de 1 milhão de pacotes/segundo(pacotes de 128 bits), 4 vezes o necessário ao PTS.

2.1.1 Módulo da interface de linha (MIL):

Conforme descrito na figura 3 este módulo está baseado em 6 placas processadoras U42, 3 placas de interface de enlace IEN, 1 placa de interface PCM 2Mb/s(ITR) e 1 placa de interconexão de módulos(UIM).

As placas processadoras U42 implementam o serviço de comutação dos canais 64Kb/s fornecidos pelas placas IEN, na proporção de 2 placas U42 para cada interface de 2Mb/s($32 \times 64\text{Kb/s}$ ou 32×512 pacotes/s) conseqüentemente cada módulo MIL, pode tratar $3 \times 32 \times 64\text{Kb/s}$, entretanto em regime normal de operação(ausência de falhas), apenas 2 placas IEN operam, permanecendo 2 placas U42 e uma placa IEN em estado de espera (a figura 9 mostra as configurações dos 3 enlaces 2Mb/s, realizáveis pela placa ITR) pronta para substituir outros processadores, nas placas de interface em caso de falha. São suportadas as funções de substituição dentro do módulo de processadores e interfaces e fora deste pode ser empregada a forma de substituição de um módulo completo por 4 processadores/2 interfaces IEN reserva de outros 2 módulos, permanecendo ainda 2 processadores reserva e 1 placa IEN.

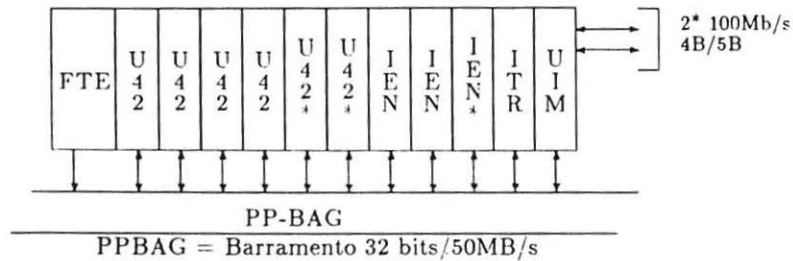
Este grau de redundância pode ser reduzido, dependendo da confiabilidade da aplicação.

Uma vez que toda a concepção do sistema PTS é baseada em técnicas de memória comum, com o objetivo de maximizar o desempenho e simplificar o “software” de aplicação a placa IEN implementa uma interface em memória através de filas circulares de en-

trada e saída (Figura: 4), totalizando 32 filas circulares de 4Kbytes cada para recepção e igualmente para transmissão. Estas filas são tratadas pelo hardware da placa IEN tanto na produção das filas de recepção quanto no consumo de transmissão enquanto que é tratada pelo “software” da U42 nas funções complementares.

Para uma maior eficiência a placa IEN permite o tratamento a nível de pacote, reduzindo o número de interrupções gerados à U42 correspondente.

A placa UIM que interliga todos os módulos do sistema através da placa UIC do módulo MOC também implementa interface através de filas em memória, facilitando o processo de comunicação entre processadores, a interface física das UIM's é constituída por 2 enlaces de 100Mb/s com codificação do tipo 4B/5B(taxi chip).



- FTE = Fonte de alimentação
- U42 = Unidade Processadora
- IEN = Interface entre enlace 2Mb/s e barramento PPBAG
- ITR = Interface Tronco PCM para até 3 enlaces 2Mb/s.
- UIM = Unidade de Interconexão dos Módulos
- * = Elementos redundantes

Figura 3: Módulo de Interface de Linha (MIL)

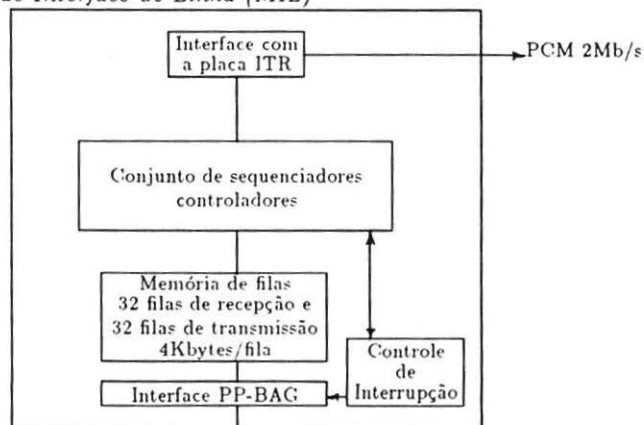
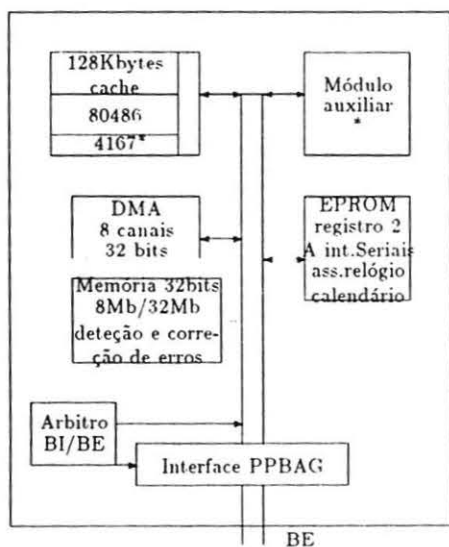


Figura 4: Diagrama simplificado da placa IEN

2.1.2 Subsistema de processamento

A base de processamento desta arquitetura é a placa U42, presente nos módulos MIL e MOC e tem as seguintes características(Figura: 5):

- Processador 80486 - 33 MHz, com uma cache de segundo nível de 128Kbytes
- 8 canais de DMA de 32 bits
- Coprocessador WTL 4167 opcional(não necessário no PTS)
- Memória de 32 bits + 7 bits de redundância para detecção e correção de erros. 8Mb/32Mb de memória. Implementada em 2 bancos, com “interleaving”, suportando acesso em “fast page mode” com detecção e correção.
- 2 canais seriais assíncronos RS232
- relógio calendário de tempo real
- suporte para processador auxiliar no conector do módulo auxiliar.



* = elementos opcionais

Figura 5: Diagrama simplificado da placa U42

2.1.3 Subsistema de interconexão

O subsistema de interconexão de módulos é implementado basicamente pelas placas UIM dos Módulos MIL e a placa UIC do MOC, sendo a placa UIC, basicamente idêntica a uma metade da UIM exceto pela presença do circuito de comutação (vide Figura: 6).

Em princípio cada módulo pode operar com apenas 1 das interconexões de 100Mb/s, ficando a segunda como redundância.

Para permitir-se a interconexão de todos os módulos de maneira conveniente é implementada na placa UIC do módulo MOC uma comutação por divisão no tempo de todos os enlaces de 100Mb/s simultaneamente, ou seja, os módulos estão sempre conectados a algum outro módulo, esta mudança ocorre a cada intervalo de tempo t_c (tempo de comutação) sendo este programável de forma a permitir uma adequação do processo de comutação. A figura 10 apresenta uma representação do processo de comutação, onde fica evidenciado que a placa UIC suporta até 8 módulos ao todo (no caso do PTS apenas 5 são necessários), na primeira fase temos M_i (Módulo de número i) conectado a M_i ($M_i \leftrightarrow M_i$) na segunda fase temos $M_i \leftrightarrow M_{(i+1) \bmod 5}$ até $M_i \leftrightarrow M_{(i+4) \bmod 5}$.

$$M_i \leftrightarrow M_{(i+j) \bmod n} / j=0..n-1, n=5 \text{ (Para o PTS)}$$

A cada instante j temos n módulos em conexão bidirecional, podendo transportar 200Mb/s por interconexão, totalizando no caso do PTS $5 \cdot 200 \text{ Mb/s} = 1 \text{ Gb/s}$.

A figura 11 apresenta uma sequência de comutações, quando as duas placas UIC operam com a mesma fase, a defasagem entre as placas pode ser programada, de forma a permitir uma distribuição mais conveniente da comunicação entre os módulos.

As placas UIM contém 64 filas circulares de 4Kbytes tanto para recepção quanto para a transmissão (Figura: 7) estas filas estão acessíveis em memória e são tratadas diretamente pelo processo de comunicação do sistema operacional. As filas de transmissão são organizadas por destino a nível de processador enquanto que as de recepção são organizadas por módulos origem e processador destino.

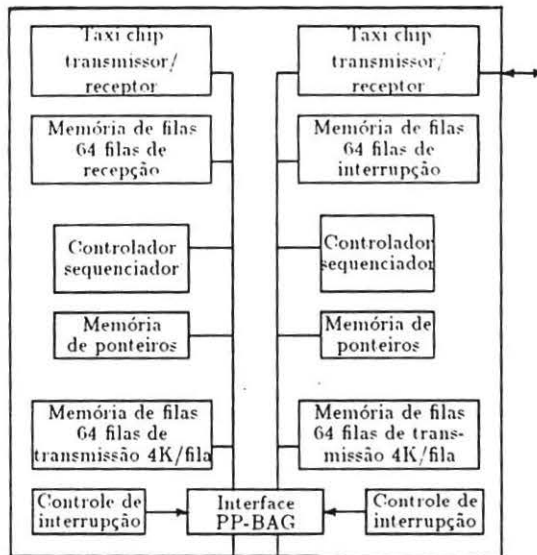
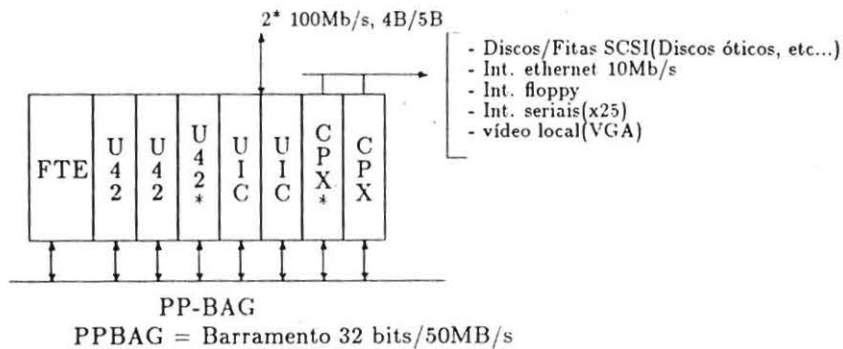


Figura 6: Diagrama simplificado das placas UIM

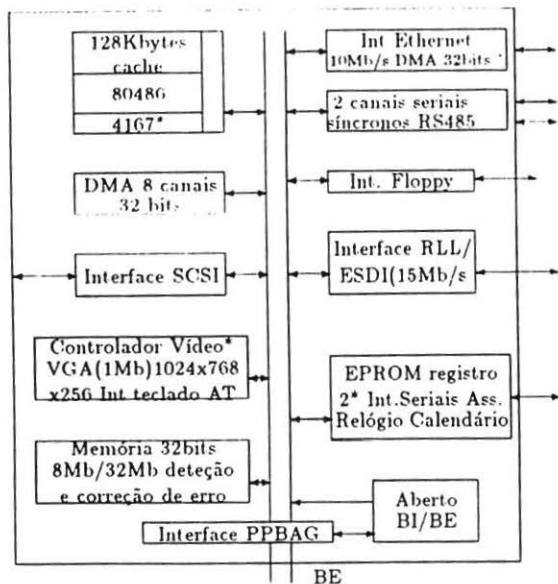
2.1.4 Módulo de operação e comutação(MOC)

Conforme figura 7 este módulo é constituído de placas processadoras U42 em número de 2, com uma de redundância, 2 placas UIC para comutação das interconexões e duas placas CPX que constituem o subsistema de entrada e saída/interface homem máquina.



- FTE = Fonte de alimentação
 U42 = Unidade Processadora
 UIC = Unidade de Interconexão e Comutação
 CPX = Unidade Processadora de Entrada e Saídas.
 * = Unidades redundantes.

Figura 7: Módulo de Operação e Comutação (MOC)



* = elementos opcionais

Figura 8: Diagrama simplificado da placa CPX

2.1.5 Subsistema de entrada e saída

Este subsistema é constituído basicamente pela placa CPX(Figura: 8) que tem as seguintes características:

- baseada na U42, contém as mesmas características de processamento e memória.
 - Processador 80486-33MHz, 8/32Mb de memória com detecção e correção de erro.
- interface SCSI de alto desempenho
- interface Ethernet 10Mb/s de altíssimo desempenho.
- interface para disco flexível até 1Mb/s.
- 2 interface seriais síncronas até 1Mb/s RS485.
- controlador de vídeo/teclado com 1Mb de memória resolução até 1024 x 768 x 256 cores/palheta de 16 milhões de cores, compatibilidade VGA/super VGA.

2.1.6 Arquitetura software do PTS

Os principais elementos a destacar são:

- programa de aplicação
- interface homem máquina
- processo de comunicação
- alocação da carga
- sistema operacional de tempo real da aplicação
- sistema operacional da interface homem máquina.

O programa da aplicação é executado no sistema operacional para tempo real *S*, (em desenvolvimento no CPqD).

A interface homem máquina pode ser desenvolvida para operar no sistema de tempo real *S* ou funcionar no sistema *UNIX* executado na placa CPX, neste caso permitindo o aproveitamento das ferramentas/utilitários disponíveis, além de facilitar a padronização e manutenção por parte das empresas operadoras de telecomunicações.

O mecanismo de alocação de carga é do tipo quase estático, pois uma vez estabelecido somente sofrerá alteração se ocorrer alguma mudança no estado das falhas.

O processo de comunicação é um dos mais importantes e delicados, necessitando implementação em linguagem de baixo nível.

Existe basicamente 3(três) procedimentos um pouco diferenciados para recepção e transmissão dentro do PTS à saber:

- transmissão Processador→Processador dentro do módulo
- transmissão Processador→Processador para outro módulo
- transmissão para canal 64Kb/s
- recepção de processador dentro do módulo
- recepção de processador de outro módulo.
- recepção de canal 64Kb/s

Para cada tipo diferente definido acima deve ser empregado procedimento apropriado. No caso da recepção esta é orientada por interrupção a nível de pacote, tornando muito simples o processo de recepção, com exceção da recepção de outros módulos que implica na varredura de todos os módulos origem possíveis.

No caso da transmissão os processos são praticamente idênticos, e uma vez que adota-se a utilização de um *buffer* por destino os processadores origem concorrem nos *buffer*

destino, sendo assim torna-se necessário a implementação de semáforo para comunicação com compartilhamento de *buffers*.

O mecanismo empregado permite que vários processadores escrevam no mesmo *buffer* destino simultaneamente, e além disso permite a alocação de *buffer* em uma única operação (instrução), esta operação corresponde a uma pré-alocação, ou seja o processador já sabe aonde começará seu *buffer* tendo ou não espaço no mesmo.

O mais importante é que este mecanismo permite que através de uma única instrução seja feita a arbitração, a execução de uma operação indivisível e a pré-alocação de um *buffer* de transmissão, garantindo um critério justo de concorrência, além de aumentar o desempenho por reduzir o tempo de bloqueio (semáforo fechado) a apenas 2 ciclos de memória (tipicamente $< 300\text{ns}$). No caso do 80486 esta operação é feita da seguinte forma:

```
MOV EAX, Tamanho.sinal.
```

```
XADD Prealoca, EAX ; Lock implícito.
```

2.2 Conclusões

A arquitetura de processamento paralelo apresentada torna a aplicação PTS, viável a um custo bastante reduzido, ao mesmo tempo que o torna extremamente compacto, quando comparada com outras soluções conhecidas para este equipamento.

Quanto a utilização desta arquitetura em outras aplicações, podemos presumir aplicação de acoplamento de médio a fraco, entretanto o subsistema, de interconexão pode ser modificado para atender aplicações mais fortemente acopladas, através do aumento da velocidade dos canais de 100Mb/s (taxi chip) para 1Gb/s (*Hot Rod Chip*), assim como a arquitetura suporta placas processadoras auxiliares, eventualmente para processamento numérico vetorial, tal como a placa MA860 (módulo auxiliar 860) baseado no chip Risc da Intel 860 de 80Mflops de pico.

Evidentemente esta arquitetura aplica-se também aos outros equipamentos de uma rede inteligente, assim como, em equipamentos para comutação de pacotes de altíssimo desempenho.

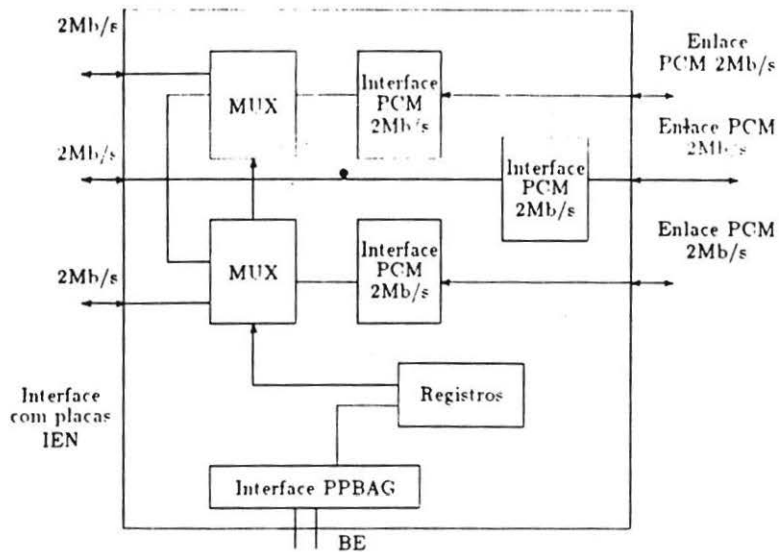
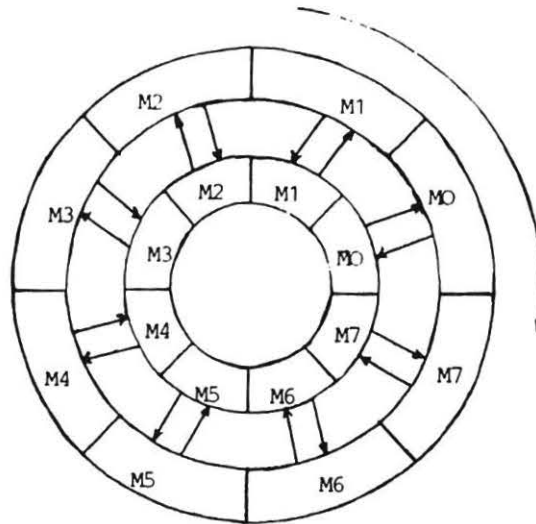


Figura 9: Diagrama simplificado da placa ITR

tcj	tc0	tc1	tc2	tc3	tc4
Mi → M(i+j) mod n	0 0	0 1	0 2	0 3	0 4
	1 1	1 2	1 3	1 4	1 0
	2 2	2 3	2 4	2 0	2 1
	3 3	3 4	3 0	3 1	3 2
	4 4	4 0	4 1	4 2	4 3

Figura 11: Sequência de interconexões obtidas nos vários tempos de comutação; tc0 existe apenas para fins de teste.



- Sentido da comutação

M0 ... M7 módulos 0 até 7

representação inicial:

a cada tempo de comutação a coroa externa gira (enquanto a interna permanece fixa) implementando outras conexões.

M0 corresponde a placa UIC

Figura 10: Representação da sequência de comutação da interconexão dos módulos implementados na placa UIC do MOC. Cada UIC implementa as conexões relativas as setas que saem do centro do circuito acima e o outro o inverso.

2.3 Referências

- Especificação do Sistema Operacional PP-SO/P - TELEBRÁS, 1986.
- Especificação do Sistema Operacional S, CPqD - TELEBRÁS, 1990.
- J.H.Zilberberg, J.B.Bayão, C.C.Araújo, "Estrutura de Processamento Paralelo de uma Central Integrada Multiserviços - CIMS", II Simpósio Brasileiro de Arquitetura de Computadores - Processamento Paralelo.
- A.Pestana, E.Cavalli, "Processador Paralelo P3", II Simpósio Brasileiro de Arquitetura de Computadores - Processamento Paralelo.
- Conceito de Rede Inteligente - Relatório grupo de estudo: CPqD - TELEBRÁS, 1990.
- K.Mani Chandy, Jayadev Misra - Parallel Program Design - Addison - Wesley Publishing Company.
- M. Feilmeier G. Soubert U.Schendel Editors - Parallel Computing 85 - Nortn - Holland.