

PROCESSADOR ESPECIALIZADO PARA SISTEMAS VME

M.K.Zuffo, M.L.Netto, R.D.Lopes
Grupo de Computação Gráfica
Laboratório de Sistemas Integráveis
Departamento de Engenharia de Eletricidade
Escola Politécnica da Universidade de São Paulo
LSI/DEE/EPUSP
Caixa Postal 8174, 05508 - São Paulo - SP

RESUMO

O Processador Especializado (PE), destina-se a processamento numérico. Ele se constitui num dadoduto ("pipeline") onde cada um dos estágios é denominado Módulo de Processamento Especializado (MPE), o PE comporta um número variável de MPEs, capacitando o sistema a se configurar modularmente de acordo com os requisitos de performance exigidos, e estando sua gerência a cargo do processador central do sistema ao qual seja incorporado. Duas implementações do MPE são apresentadas.

ABSTRACT

The Specialized Processor is used for numeric processing applications. It consists of a pipeline where each module is named Specialized Processing Module (MPE), bearing a variable number of MPEs, enabling the system to configure itself modularly according with the performance requirements, and with its management being done by the central processor where it is incorporated. Two MPE's implementations are presented.

1. INTRODUÇÃO

O Processador Especializado (PE) surgiu como consequência da necessidade de aumentar o desempenho dos sistemas desenvolvidos no LSI, em particular, da família de estações gráficas EG-880X. Assim sendo, o desenvolvimento do PE teve como diretrizes a facilidade de instalação nos equipamentos (construídos sobre o barramento VME) e o elevado desempenho na execução das funções por ele incorporadas.

2. CARACTERÍSTICAS GERAIS DO PE

2.1. Constituição.

O PE compreende duas partes principais, o Gerenciador do Processador Especializado (GPE) e os Módulos de Processamento Especializado (MPEs).

O GPE é um sistema programacional responsável pelo controle das transferências entre os MPEs e destes com o programa que utiliza os recursos computacionais oferecidos pelo PE.

O MPE é o módulo executor das tarefas computacionais de cálculo numérico. Os MPEs são placas conectáveis a um barramento padrão VME.

2.2. Paralelismo.

Dois níveis de paralelismo são abrangidos com o PE: o primeiro nível envolve o paralelismo devido à arquitetura interna de cada MPE; o segundo nível é o paralelismo fornecido pelo dadoduto ("pipeline"), quando este é composto por dois ou mais MPEs.

2.3. Utilização.

O PE é adequado à solução da classe de problemas computacionais que exige um processamento bem definido e intensivo sobre uma lista de dados extensa, como acontece em processamento gráfico.

Estas tarefas podem ser executadas em um único MPE ou distribuídas entre alguns módulos dispostos em cascata num dadoduto ("pipeline"). Desde que se tenha um bom balanceamento do sistema, pode-se atingir níveis de desempenho bem superiores aos conseguidos quando a execução destas tarefas está a cargo de um único processador. Deve-se ressaltar que o desempenho alcan-

çado por cada MPE, individualmente, é superior ao alcançado por implementações baseadas em microprocessadores de uso geral, devido a especificação de sua implementação.

2.4. Utilização na EG-880X.

Na família de estações gráficas EG-880X, o PE (constituído pelos MPEs) e o Módulo de Processamento Gráfico e Entrada e Saída (MPGES), que neste caso controla os MPEs, implementam um processador geométrico, responsável pela execução das etapas associadas à obtenção de uma imagem, a partir de sua descrição numa lista de comandos e dados gráficos. Numa primeira versão, estes módulos desempenharão tarefas de transformação e corte de coordenadas bidimensionais. Em versões futuras, o PE poderá executar tais tarefas sobre coordenadas tridimensionais, além de outros processos como preenchimento de superfícies (com tratamento de opacidade, transparência, textura, reflexão e sombreamento) e determinação de faces visíveis.

3. CARACTERÍSTICAS GERAIS DO GPE

O dadoduto ("pipeline") do PE foi projetado para usar como via de transferência de dados o barramento VME.

O conceito de dadoduto ("pipeline") diz respeito a diversos módulos processadores dispostos em cascata, conforme uma linha de produção industrial.

Os módulos de processamento citados podem ser implementados de duas formas: Módulos em Circuitaria ("hardware") (MC) e Módulos em Logicionaria ("software") (ML).

Os MCs constituem-se nas placas MPE, discutidas adiante.

Os MLs constituem-se em rotinas executadas em alguma Unidade de Processamento Central (UCP), do sistema VME. No caso do sistema contar apenas com uma UCP, esta deverá compartilhar seu tempo entre a gerência do dadoduto ("pipeline") e a execução do ML. O seu uso é interessante durante o desenvolvimento do sistema, facilitando as etapas de teste, e como auxílio a tarefas complexas, cuja implementação nos MPEs não é adequada, tornado o PE mais flexível.

A fim de se obter o melhor balanceamento para este sistema, mantendo ocupados todos os seus módulos processadores e garantindo assim o maior desempenho, existem acopladores ("buffers") de dados entre os elementos processadores cuja função é absorver as flutuações de correntes da diferença entre as taxas de admis-

são e envio de dados pelos elementos processadores. Tais acopladores ("buffers") podem ser implementados de 2 formas: na primeira os acopladores são implementados na memória do sistema VME, cabendo então ao GPE, o controle das transferências de dados entre módulos processadores; na segunda os acopladores são implementados na memória de dados dos MPEs, deste modo a transferência de dados é realizada diretamente entre os módulos sob gerência do GPE. Cabe ressaltar que estas duas formas não são exclusivas, podendo-se configurar um sistema que possua as duas.

A escolha da política a ser adotada com relação à forma de implementação destes acopladores deve considerar os seguintes aspectos, nem sempre determinísticos:

- sobrecarga atribuída à UCP na gerência do dadoduto;
- otimização do uso do barramento VME para a realização de transferências de dados;
- tamanho dos blocos de dados a serem transferidos a cada vez;
- ocupação dos MPEs com tarefas dedicadas, reduzindo sua utilização na comunicação com o dadoduto ("pipeline").

A estrutura do PE para um caso genérico que tenha a possibilidade de ser configurado com acopladores ("buffers"), onde estes se fizerem necessários é discutida a seguir. A modularidade oferecida pelo sistema provê meios para a determinação da estrutura mais adequada quando o sistema estiver operacional.

Na figura 1, tem-se a estrutura do Gerente do PE (GPE).

A logicionaria ("software") que implementa o GPE está escrita na linguagem C, dada a disponibilidade de compiladores desta linguagem para microprocessadores como o MC68020 usado nas estações EG-880X.

- A perfeita interação entre a logicionaria do GPE e a logicircuitaria ("firmware") do MPE se deve ao fato de que esta última é incorporada ao PE como rotinas de biblioteca disponíveis para uso pelo programa do usuário do PE. As etapas operacionais previstas são as seguintes: o usuário deve ao solicitar o PE identificar qual a tarefa que ele pretende usar; o GPE transporta então para a memória de programa dos MPEs as rotinas correspondentes à tarefa solicitada, disparando a seguir a operação do PE. Tal operação é estabelecida sobre os dados fornecidos pelo programa do usuário conforme definido pela estrutura de dados interpretada

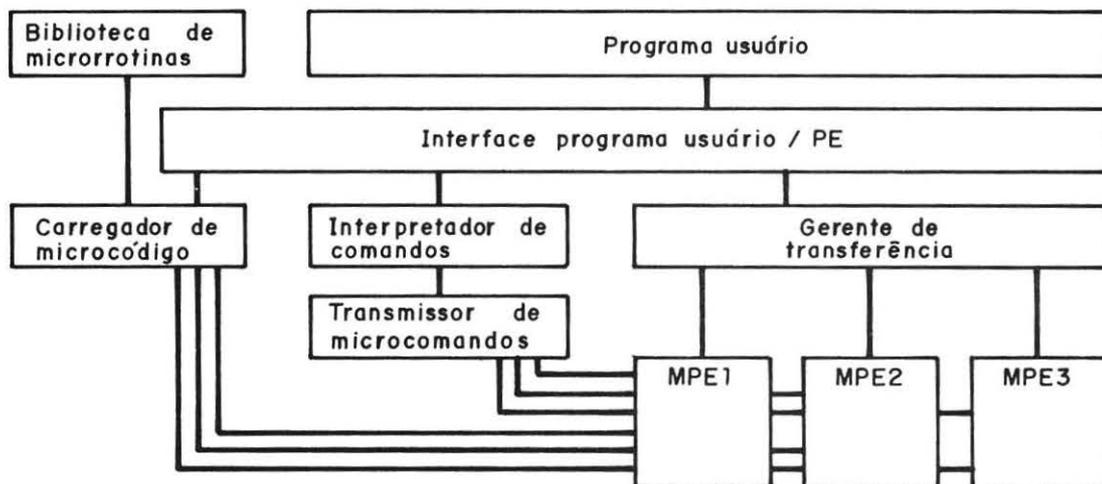


figura 1 - Estrutura do Gerente do PE (GPE)

pelo PE. Esta estrutura foi definida de modo a permitir a compatibilização entre o GPE e o MPE.

4. CARACTERÍSTICAS GERAIS DO MPE

Os MPEs são processadores de alto desempenho que operam como escravos num barramento VME, sendo assim o desenvolvimento destas placas para o barramento VME levou em consideração os seguintes aspectos:

- Tendo em vista o conceito de dadoduto ("pipeline") adotado para o sistema ao qual estes processadores pertencem, o uso do barramento VME para suporte do dadoduto é interessante na medida em que propicia uma alta flexibilidade na sua configuração, o que não ocorreria se usássemos dutos dedicados.
- O uso da UCP mestre como gerenciadora do sistema VME e particularmente do dadoduto, aí implementado, centraliza o controle das transferências entre os MPEs que o compõem. Embora esta centralização possa implicar numa queda de desempenho na realização das transferências de dados entre MPEs, devido à sobrecarga atribuída à UCP com o aumento do número de MPEs, tem-se uma maior facilidade na implementação deste controle. Cabe ressaltar que devido ao fato do número de MPEs neste dadoduto não ser grande (normalmente não ultrapassando 3) a sobrecarga no seu gerenciamento não é intensa.

- Simplificação da circuitaria ("hardware") dos MPEs que não precisam conter controladores do barramento VME bem como requisitor, elementos necessários caso a placa pudesse ser mestre do barramento.

A requisição do GPE pelo MPE é feita via inter-

rupção após o término do processamento no MPE, desta forma garante-se a inoperância do MPE ao ser reconhecido seu pedido de interrupção.

A realocação do MPE para processamento de novos dados é de controle do GPE que se vale das ordens recebidas e da disponibilidade de novos dados.

Foram feitas duas implementações do MPE, uma baseada em CIs segmentados por bits ("bit-slice") (MPE-SB) e outra em transputadores (MPE-TR).

4.1. A Implementação MPE-SB.

Os módulos de Processamento Especializado Segmentados por Bits (MPEs-SB) são processadores baseados em arquitetura microprogramável, usando CIs segmentados por bits ("bit-slice") da família Am 29300 (32 bits) [ref.1]. Eles executam tarefas específicas descritas por microrrotinas, armazenadas localmente, sobre listas de dados a eles fornecidas. As microinstruções, por permitirem o controle direto das operações executadas, conferem aos microprogramas uma alta flexibilidade e desempenho.

Dada a possibilidade de se carregar o microcódigo na memória a ele destinada, o MPE-SB possui uma grande flexibilidade, no que tange às tarefas por ele executadas, sem reduzir seu desempenho.

4.1.1. Circuitaria ("Hardware").

Os MPEs-SB foram desenvolvidos explorando-se o paralelismo na operação da sua Unidade de Controle (UC) e do seu Fluxo de Dados (FD). Assim as microinstruções são atualizadas pela UC ao mesmo tempo em que efetuam operações sobre o

FD. Isto pelo fato das memórias de dados e microcódigo não compartilharem o mesmo duto durante a operação do MPE.

Ambas as memórias são acessíveis pela UCP mestre do sistema através do barramento VME, possibilitando assim a carga do microcódigo adequado à função estabelecida para o MPE-SB, bem como o acesso aos dados aí processados.

A figura 2 descreve a arquitetura do MPE-SB.

Os módulos usados nesta placa são:

- Unidade Lógica Aritmética (ULA): opera sobre dados de 32 bits;
- microsequencializador: controla a seqüência das microinstruções;
- registradores de dados: operam em conjunto com a ULA armazenando os resultados temporários;
- memória de dados: organizada em 2K palavras de 32 bits, armazenando os dados processados pela ULA;
- memória de microcódigo: organizada em 2K palavras de 64 bits, armazenando as microinstruções que compõem o microcódigo;

- carregador de microcódigo: responsável pela carga do microcódigo na memória de mesmo nome;
- registrador de microcomando: armazena o microcomando que estabelece a microrrotina a ser executada;
- lógica de sincronismo: permite o sincronismo no controle interno da placa, que pode ser feito pelo microcódigo local ou pelo mestre do barramento VME;
- controle de leitura e escrita: estabelece o controle das transferências no barramento de dados interno à placa;
- controle de interrupção: estabelece a requisição da interrupção para o barramento VME, bem como a resposta ao seu atendimento;
- decodificador: permite a distinção destes blocos quando vistos pelo barramento VME;
- interface com o barramento VME: determina a interface lógica e elétrica com o barramento VME.

4.1.2. Logicircuitaria ("Firmware").

A logicircuitaria ("firmware") das placas dos

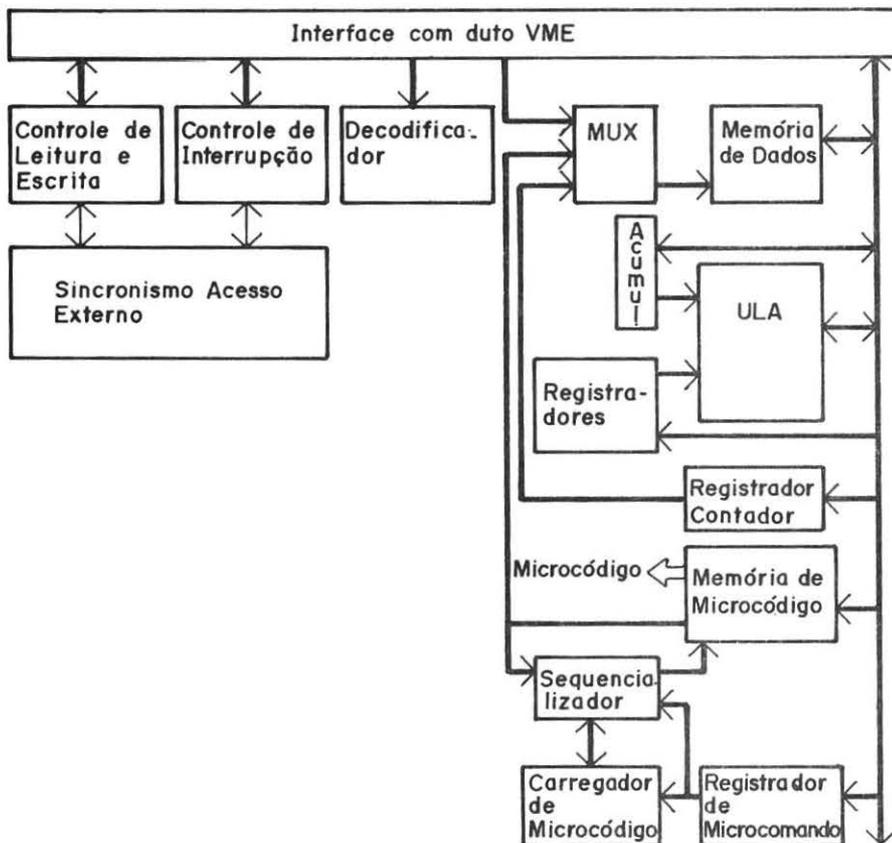


figura 2 - Arquitetura do MPE-SB.

MPEs-SB estabelece as funções das mesmas, cabendo a ela o controle da placa, desde a sua comunicação com o dadoduto ("pipeline"), na qual está inserida, até a execução dos processos dedicados a ela destinados.

Está implementada no microcódigo, armazenado na memória de mesmo nome, e controla diretamente a circuitaria ("hardware") da placa. Este fato propicia ao programador deste microcódigo uma grande flexibilidade aliada à capacidade de exploração de um alto desempenho. Como aspecto restritivo tem-se a dificuldade de elaboração e teste deste microcódigo, fazendo-se então necessário o uso de um micromontador específico (ferramenta já desenvolvida).

As palavras de microcódigo permitem um alto grau de paralelismo na definição das microinstruções, estas podem se valer da característica estruturada dos elementos segmentados por bits ("bit-slice") que favorecem a construção de microprogramas com características próximas das encontradas em linguagens de alto nível.

A logicircuitaria ("firmware") está estruturada em duas partes. Na primeira encontra-se a denominada microrrotina de gerenciamento (responsável pelo controle do MPE, tendo como tarefas a solicitação do GPE e o disparo das demais microrrotinas) e na segunda as microrrotinas genéricas (na EG-880X estas executam tarefas de processamento gráfico).

4.2. A Implementação MPE-TR.

Esta versão de processador especializado, ainda em fase inicial de projeto, consta de uma placa baseada em Transputadores (MPE-TR), conectável como escrava a sistemas VME.

Um transputador [ref.2] é um microprocessador com memória interna e quatro elos de comunicação serial bidirecionais (20 Mbit/seg) para conexão ponto a ponto com outros transputadores.

Este tipo de microprocessador foi especialmente desenvolvido para aplicação em sistemas concorrentes de alto desempenho. O transputador T800 [ref.2] da INMOS possui ainda Unidade de Ponto Flutuante (UPF) interna.

No caso do MPE-TR, como sua aplicação se destina a processamento numérico, em particular, processamento gráfico, o transputador mais indicado é o T800, dado o elevado número de operações em ponto flutuante frequentes na referida aplicação.

O MPE-TR será composto basicamente por uma interface com o barramento VME, quatro conjuntos transputador/memória e eventualmente um bloco

para permitir chaveamento por logicionaria ("software") dos elos de comunicação internos e externos à placa.

Cada T800 (20 MHz) possui um desempenho de 10 MIPS e 1,5 MFLOPS. Desta forma um MPE-TR fornecerá até 40 MIPS e 6,0 MFLOPS.

A figura 3 fornece um esquema geral da placa MPE-TR.

4.2.1. Paralelismo.

Esta placa permite três níveis de paralelismo.

O primeiro, internamente a placa, se apresentando de duas formas: uma dentro de cada transputador, em que existe o conceito de múltiplos processps (os quais, se definidos como paralelos, sofrem chaveamento durante sua execução), e ainda, no caso do T800, em que há paralelismo no funcionamento da UCP e da UPF; outra com relação à característica de múltiplos processadores na placa (quatro transputadores trabalhando em paralelo).

Num segundo nível, pode-se conectar a um sistema VME mais de um MPE-TR.

Pode-se ainda, num terceiro nível, ampliar a capacidade de processamento de cada MPE-TR, acoplado a este, Módulos MultiTransputadores (MMTR). Cada MMTR será semelhante a um MPE-TR, porém sem a lógica de interface com o barramento VME. Poderão existir mais de um tipo de MMTR no tocante ao dimensionamento do número de transputadores e capacidade de memória (por exemplo, MMTR4, com 4 transputadores de MMTR8, com 8 transputadores). Esta característica permite construir sistemas com um grande número de processadores sem criar gargalos no barramento VME, uma vez que a comunicação entre os diversos processadores é feita ponto a ponto através de seus elos de comunicação serial. As conexões entre os diversos elos podem ser configuradas da forma que melhor convier à aplicação (alguns exemplos de configuração são dados na figura 4).

Na figura 5 temos um exemplo de como ficarão os MPEs-TR e seus MMTR associados.

Com relação a logicionaria ("software"), esta será desenvolvida em micros compatíveis com IBM PC na linguagem OCCAM [ref.3], utilizando o Sistema de Desenvolvimento para Transputadores da INMOS, o TDS D700 [ref.4].

Pode-se também desenvolver programas usando linguagens convencionais como Pascal, Fortran, C e Prolog, uma vez que os respectivos compiladores se encontram disponíveis no mercado.

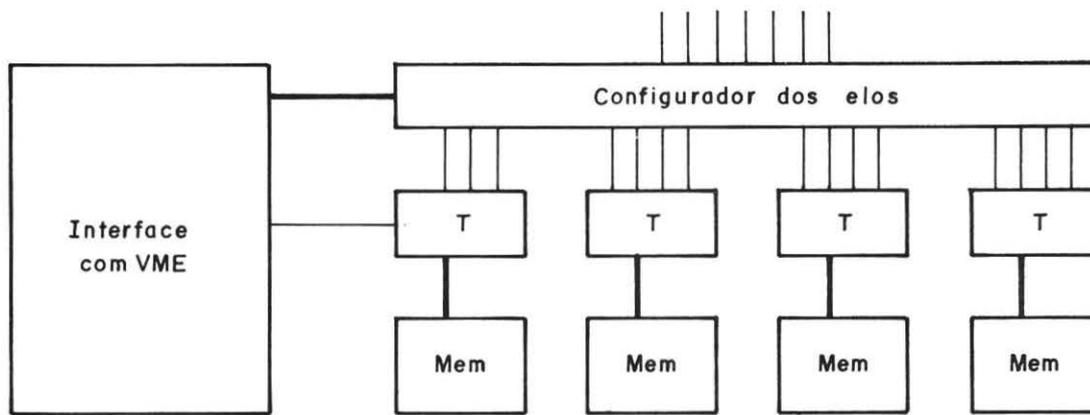


figura 3 - esquema geral do MPE-TR.

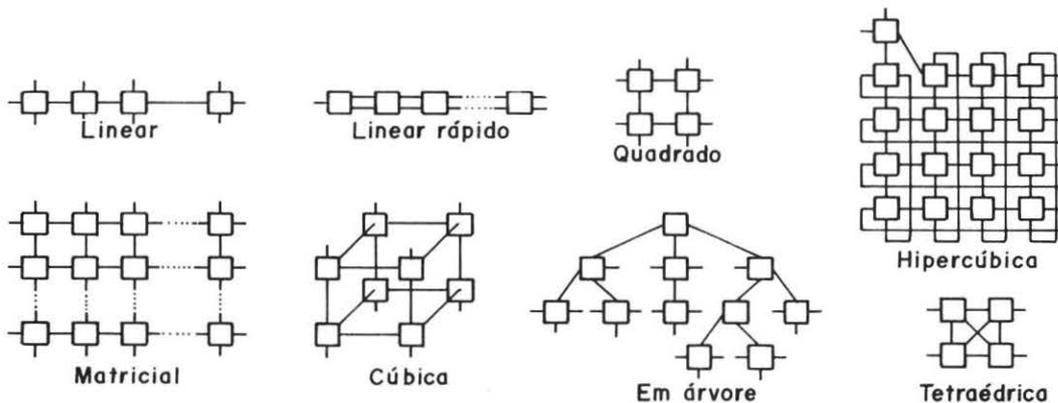


figura 4 - Exemplos de configurações de conexão entre elos de transputadores.

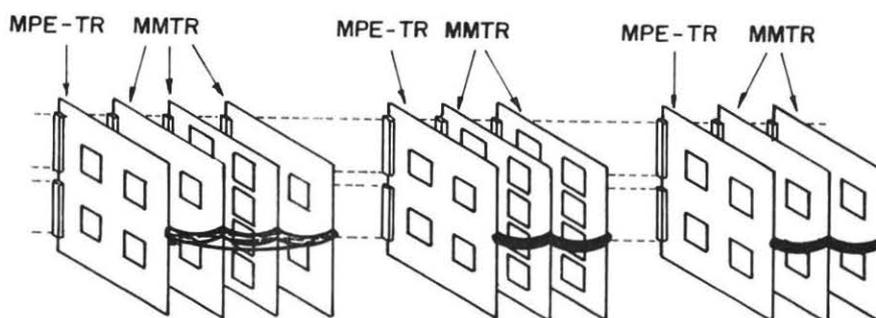


figura 5 - Exemplo de disposição de MPE-TRs e MMTR's num Sistema VME.

Os programas desenvolvidos podem ser executados em um ou em diversos transputadores, com alterações apenas a nível de detalhes de configuração. Isto permite que se inicie com um pequeno número de transputadores e, à medida de se necessite de melhor desempenho, seja possível au-

mentar este número (inserindo novos módulos). Para um melhor desempenho, os elos devem ser conectados de acordo com as exigências do algoritmo a implementar.

Os programas desenvolvidos no TDS passarão a fazer parte de uma biblioteca do sistema, referen-

te ao processamento no MPE-TR. Estes programas, bem como os dados a serem processados, serão enviados e/ou recebidos do MPE-TR através de sua interface com o VME (que estará conectada a um dos conjuntos transputador/memória da placa). A UCP mestre responsável pela gerência do MPE-TR avisa quando os dados devem ser processados. Por outro lado, o MPE-TR avisa quando o processamento é finalizado gerando uma interrupção para a respectiva UCP mestre vis VME.

5. CONCLUSÃO

A primeira versão do PE deverá incorporar apenas 1 MPE. Quando estiver validada, será feita uma análise para determinação do número de MPEs adequado à estação, bem como o melhor particionamento das tarefas entre estes módulos.

O MPE-SB se encontra em fase final de depuração e a logicircuitaria ("firmware") de gerenciamento se encontra pronta. As microrrotinas associadas ao processamento gráfico estão sendo transcritas para microcódigo. O GPE está codificado embora ainda não tenha sido testado.

O projeto do MPE-SB teve como aspectos importantes o início do uso de paralelismo nas estações gráficas do LSI, além do estudo e aplicação de arquiteturas dedicadas a processamento numérico e a computação gráfica.

O MPE-TR está em fase de projeto e deverá ser incorporado ao sistema tão logo esteja pronto. Dada a sua maior versatilidade ele poderá também compor um sistema próprio, bem como criar capacitação na equipe para novos projetos em sistemas paralelos.

A construção de sistemas envolvendo mais de um processador abre uma nova dimensão de recursos, e a linguagem OCCAM (desenvolvida segundo a mesma filosofia dos transputadores) foi introduzida para ajudar os engenheiros de logicionaria ("software") a projetarem e implementarem processamento paralelo de forma rápida e correta, tornando esta tarefa tão imediata quanto programas sequenciais ou técnicas de multitarefas convencionais.

6. REFERÊNCIAS BIBLIOGRÁFICAS

[ref.1] "AM 2900 Family - Bipolar Microprocessor Logic and Interface"
Advanced Micro Devices
1985

[ref.2] "Transputer Reference Manual"
INMOS
Prentice Hall 1988
ISBN - 0-13-929001-X

[ref.3] "A tutorial introduction to OCCAM programming"
D.Poutain and D.May
Mc Graw - Hill
ISBN 0-07-050606-X

[ref.4] "Transputer Development System Manual"
INMOS (72 TDS 141)