

UMA SOLUÇÃO PARA O SINCRONISMO/RELÓGIO EM UM SISTEMA DIGITAL DE CONTROLE DISTRIBUÍDO

G. N. F. de Souza, H.G. de Andrade, M. Moszkowicz
CEPEL - Centro de Pesquisas de Energia Elétrica
Av. Hum s/n - Cidade Universitária - Ilha do Fundão
Rio de Janeiro - RJ - CP 2754 - CEP 20.001

RESUMO

O sincronismo/relógio, fundamental em qualquer sistema de supervisão e controle, introduz uma série de problemas quando o sistema considerado possui uma arquitetura de multi-microprocessadores, organizados em sub-redes locais de comunicação.

Este artigo descreve a solução adotada para o Sistema Distribuído de Controle Digital (SDCD), desenvolvido pelo Cepel-Eletrosul-Furnas. Apesar da solução adotada levar em conta características próprias do SDCD desenvolvido, serve de paradigma para problemas análogos em outros sistemas, principalmente quando as restrições de tempo de sincronismo entre processadores são severas.

ABSTRACT

The synchronism/clock, fundamental for any supervisory and control systems, imposes some problems in a distributed processing system with processors organized in several network.

This article describes one solution for processors synchronization in the Distributed Supervisory and Control System developed by Cepel-Eletrosul-Furnas. Although the solution is directed to an specific system, it can be considered as reference to other systems that processes severe time synchronization requirements.

1 - INTRODUÇÃO

O avanço da tecnologia digital tem viabilizado, do ponto de vista prático, a introdução de arquiteturas de sistemas de supervisão e controle utilizando múltiplos processadores. No setor elétrico, o Cepel vem trabalhando, conjuntamente com a Eletrosul e Furnas, num Sistema Digital de Controle Distribuído (SDCD) para aplicações em subestações e usinas hidrelétricas.

A distribuição das funções de supervisão e controle trazem uma série de vantagens. Dentre estas convém mencionar:

i - redução da cabeção nas instalações: os processadores dedicados à transdução dos sinais e à atuação são colocados junto aos equipamentos (p.ex: pátio de uma subestação), transmitindo ou recebendo informações através de linhas seriais;

ii- maior capacidade de processamento permite uma melhor compreensão dos fenômenos que ocorrem na rede elétrica;

iii- maior segurança de funcionamento obtida através de procedimentos de autodiagnóstico, redundância etc.

Por outro lado, a distribuição do processamento suscita o problema de como sincronizar os diversos processadores. Esta sincronização é necessária para diversas funções que são executadas de forma repartida e cooperativa.

Entende-se por função repartida, uma função F executada de forma igual em todos os processadores, porém aplicada a diferentes subconjuntos de partida. Neste tipo de função se encontra a de detecção de alarme onde cada processador verifica em seu conjunto de pontos de entrada se ocorreu alguma variação.

Uma função executada de forma cooperativa é aquela em que o resultado obtido por um processador é utilizado por outros como entrada. Um exemplo deste tipo de função é o sincronismo entre linha e barra da subestação. Um processador se encarrega do calculado do ângulo de fase e a velocidade angular, enquanto outro, em função destes dados, programa o instante de fechamento de um disjuntor.

Tradicionalmente, os Sistemas de Supervisão e Controle para subestações e usinas, denominados de Unidades Terminais Remotos

(UTR), não permita a existência das funções repartidas ou cooperativas. Esta restrição está fundamentada em requisitos operacionais, tais como: a detecção de eventos deve discriminar eventos com a diferença mínima de até 1ms, velocidade angular de até 300 mHz entre linha e barra. Estes requisitos, aliados a capacidade de processamento disponível nas UTRs, determinavam a arquitetura e até impediam a realização de algumas funções na UTR, tais como, sincronização de linha e barra.

Na busca de soluções para o problema de sincronismo, procurou-se, inicialmente, aquelas de uso geral, logo abandonadas por não apresentarem a performance necessária (p.ex: resolução de eventos de 1ms). Concluiu-se, portanto, que a solução deveria levar em conta características próprias do SDCD desenvolvido. Desta forma, a descrição que será detalhada é peculiar, porém o processo de busca, que relata nossa experiência, pode ser de grande utilidade a outras redes.

2 - CARACTERIZAÇÃO DO SISTEMA ALVO

O SDCD concebido é composto de várias sub-redes de comunicação do tipo barramento, interligadas por comportas ("gateways"). Estes elementos atuam como filtro às mensagens, de forma a permitir apenas a passagem de mensagens de interesse comum às duas redes.

Na concepção do SDCD existem duas categorias de sub-redes: sala de controle e processo. A figura 1 apresenta o esquema geral do

sistema. O barramento de comunicação das redes é denominado da Via Geral de Interconexão (VGI) e funciona com protocolo do tipo CSMA/CD, a uma taxa de 1Mbits/seg.

A sub-rede da sala de controle inclui os processadores responsáveis por:

- i) interface com o operador da subestação ou usina;
- ii) comunicação com o nível hierárquico superior (p.ex: outro centro de controle);
- iii) diagnóstico do funcionamento da rede e auxílio à manutenção;
- iv) filtro de mensagens - comportas

A sub-rede de processo inclui os Terminais de Aquisição e Controle (TACs) e a Comporta associada. A VGI desta sub-rede utiliza fibras óticas, de forma a obter a imunidade a surtos de potencial exigido pela aplicação. As fibras óticas convergem radialmente a um misturador ótico, conforme mostrado na figura 2, implementando um barramento lógico.

Os Terminais de Aquisição e Controle (TAC) são os equipamentos responsáveis pela interface do SDCD com o sistema elétrico. Cabem a estes terminais as funções de aquisição e tratamento de dados e emissão de saídas ao processo elétrico. A arquitetura do TAC foi concebida utilizando uma estrutura de múltiplos microprocessadores. Destaca-se, nesta estrutura, dois tipos de processadores: Controladora e Operadora. Os processadores são interligados através de um barramento denominado de Via Serial de

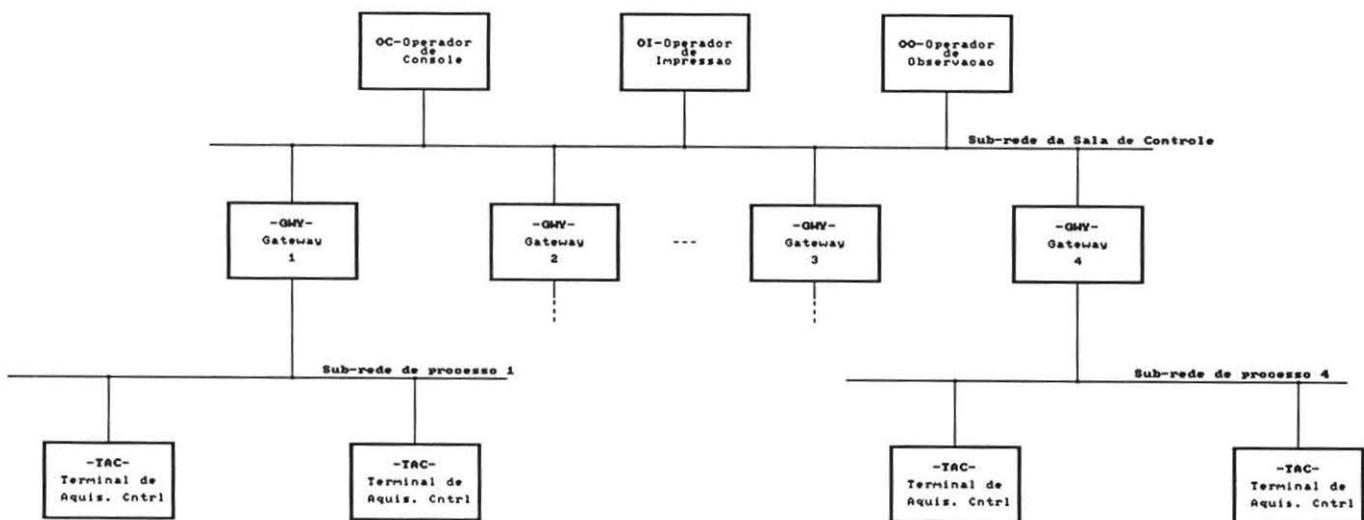


Figura 1. Arquitetura Geral do Sistema

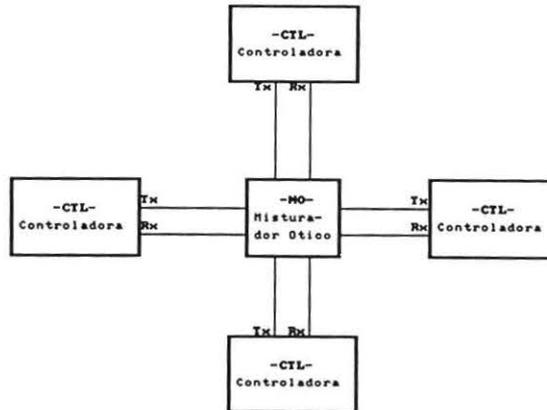


Figura 2. VGI do Processo - Fibra Ótica

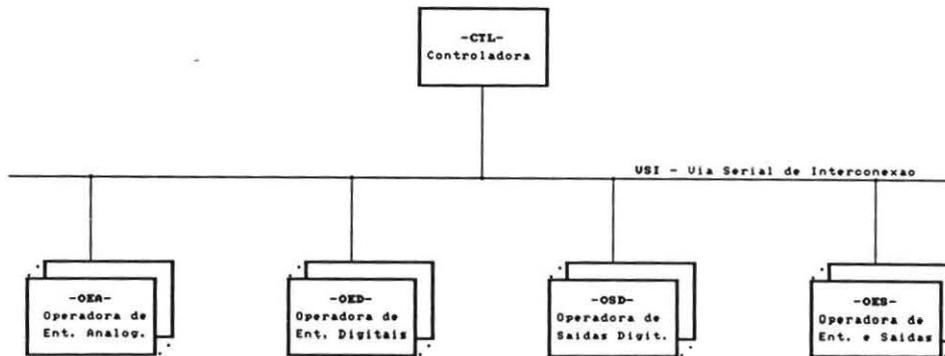


Figura 3. Estrutura Interna do TAC

Interconexão (VSI). A figura 3 apresenta esta arquitetura.

A controladora realiza as funções de comunicação entre a VGI e a VSI e a de controle, que envolva mais de uma operadora. As operadoras, por sua vez, executam as funções de aquisição e tratamento de dados e de controle autônomo, que não envolva mais do que a operadora em si.

Com o intuito de ilustrar o problema de sincronismo, será descrito o processo para a detecção de variação de estados de pontos digitais.

A variação de um ponto digital é detetada pela operadora, a qual este ponto está conectado. Esta operadora, para tanto, executa ciclos de aquisição de período igual a 1mseg. Ao detectar uma variação, o ponto é identificado e é feita uma associação com o tempo em que o evento ocorreu. Como a

função de detecção de variação de estado é do tipo repartida, é necessária uma ordenação, dos eventos detetados em todas as operadoras do SDCD. Esta ordenação é feita a nível dos processadores da sala de controle. Cabe ressaltar que qualquer variação nos relógios das operadoras poderá acarretar numa ordenação incorreta dos eventos gerados, com ate possíveis inversões de causa-efeito.

3 - SOLUÇÃO PARA O SINCRONISMO

O processo de apresentação da solução adotada para o sincronismo no SDCD será abordado em três etapas uma relativa aos processadores conectados à VGI, outra relativa aos ligados a VSI e, finalmente, entre SDCDs diversos.

3.1 - Sincronismo dos Processadores Ligados a VGI.

A solução trivial (geral) para o sincronismo é a de propagar uma base de tempo única através do sistema. Pode-se visualizar, como um caso extremo desta solução, a captação de um relógio, transmitido via rádio, em todos os processadores. Esta solução não é viável tecnologicamente, devido aos seus altos custos envolvidos.

Uma solução possível dentro da conceituação de um tempo único é, a de se criar uma via específica para a propagação de uma base de tempo padrão. Esta base de tempo serviria como padrão em todos os processadores da VGI.

Esta solução de "força bruta" apresenta as seguintes desvantagens:

i - necessidade de hardware suplementar, pois exige uma via específica. Como a VGI emprega fibras óticas para as sub-redes do processo, o custo desta duplicação é elevado.

ii - o aspecto de disponibilidade exigiria a existência de um sistema gerador da base de tempo replicado e especialmente construído.

A principal vantagem desta solução é a transparência do sincronismo aos diversos processadores.

A conclusão é que a solução "força bruta" deve ser utilizada quando se houver esgotado todas as demais opções para o sistema de sincronismo. Desta forma, a solução adotada combina hardware e software, buscando utilizar ao máximo características do hardware disponível.

A solução pode ser resumida a partir das seguintes considerações:

i - cada processador da rede possui um relógio próprio, cuja base de tempo é de 1mseg;

ii - existe um elemento por sub-rede que executa a função de Mestre da Hora (MH). Estes elementos emitem mensagens de sincronização para as bases de tempo dos demais processadores. A função MH pode migrar pelos processadores, de forma a atender o requisito de disponibilidade, ou seja: a falha de um elemento não provoca a perda da função de sincronismo.

iii - o período de sincronização deve ser calculado de forma a não permitir a defasagem dos relógios, de qualquer dois processadores em mais de 1mseg. Tomando por base os cristais, utilizados nos processadores, este valor é igual a cerca de 25 segundos.

iv - Envio, pelo MH, de um sinal de sincronismo para todos os processadores. Neste instante todos eles detetam este sinal

e anotam o valor de sua base de tempo interna (leitura do relógio).

v - O mestre da hora envia, posteriormente, o valor da base de tempo que deveria ter sido lido. Desta forma, cada processador conhece o erro de sua base de tempo interna, podendo, então, acertá-la.

O ponto crítico, de todo este processo, é a detecção simultânea do sinal de sincronismo. Esta detecção é feita por hardware e provocada por uma mensagem atípica transmitida através da VGI. Esta não tipicidade é caracterizada, não pelo conteúdo, mas pelo tamanho da mensagem que não obedece o valor máximo permitido pela semântica estabelecida no protocolo.

3.1.1 - Detalhamento da solução do sincronismo na VGI

O relógio é constituído de um oscilador (cristal), de um contador de tempo programável, que provoca interrupções no processador, e de um programa para tratamento destas interrupções. O contador é programado para gerar interrupções a cada 1mseg, ativando o programa de tratamento que atualiza o valor do relógio. A leitura do relógio é formada pela contagem das interrupções de 1ms, parte mais significativa, e pelo conteúdo interno do contador de tempo programável.

A função de sincronismo, localizada no Mestre da Hora, é ativada periodicamente (período do sincronismo) e gera uma mensagem atípica na VGI. Todos os processadores detetam esta transmissão através de hardware específico e anotam o valor atual do contador de tempo do relógio.

O próximo procedimento do mestre da hora é divulgar aos operadores da rede o valor de seu contador e de seu relógio, no momento em que foi feita a geração da mensagem atípica. Ao receberem estes valores, os processadores verificam:

i - se existe uma diferença superior a 1mseg: nesta situação, deve-se fazer um acerto no valor do relógio. Caso o processador seja a controladora do TAC, é disparado um procedimento de acerto de hora das operadoras da VSI, conforme será descrito no item 3.2;

ii - se a diferença for inferior a 1 mseg: neste caso é feito apenas um ajuste no valor do contador de tempo de modo a compensar a diferença encontrada. Desta forma, os contadores servem de elementos reguladores para eventuais diferenças entre cristais dos processadores.

Para se evitar que a diferença entre cristais alcance 1mseg, arbitrou-se um período 5 vezes menor que o necessário (5seg) para a execução do sincronismo, limitando-se ao acerto dos contadores e evitando-se alterar a parte mais significativa do relógio.

3.2 - Sincronismo dos operadores ligados à VSI

O sincronismo na VSI está ligado aos processadores concentrados no interior do Terminal de Aquisição de Controle. Desta forma, os inconvenientes mencionados na solução tipo "força bruta" para a VGI são minimizados. Pode-se justificar a adoção desta solução devido:

- . as distâncias entre processadores do TAC são da ordem de dezena de centímetros;
- . existência de um elemento série na arquitetura que é a controladora do TAC;
- . número de operadoras que devem ser sincronizadas é pequeno, da ordem de 5.

A solução adotada para o sincronismo na VGI foi a seguinte:

i - cabe a controladora a geração de uma Base de Tempo (sinal de "clock") que é distribuída a todos os processadores do TAC. Esta base de tempo é utilizada diretamente para incrementar o relógio destes processadores;

ii - ao ser detetada uma recuperação, após falha transiente ou permanente, de uma operadora ou periodicamente (integridade) é feita um acerto de hora do TAC. Para tanto, a controladora pára a base de tempo e envia uma mensagem de hora futura às operadoras. Após um tempo de espera suficiente, para que todas as operadoras atualizem o valor de seu relógio, a controladora religa a base de tempo.

3.3 - Sincronismo entre SDCDs diversos

O sincronismo entre SDCDs diversos é fundamental quando se deseja correlacionar eventos ocorridos em mais de uma instalação (p. ex: eventos ocorridos em duas subestações). Esta correlação é executada por um Centro de Operação localizado num nível hierárquicamente superior aos SDCDs.

O requisito de discriminação entre causa-efeito, exige que todo o sistema (SDCDs e Centros de Operação) possua relógios sincronizados, uma vez que todos os eventos são datados a nível do SCADA.

Dado que os canais de comunicação ligando os SDCDs aos centros de operação são de baixa velocidade, tipicamente 1200 bps, com tempos de chaveamento de modem envolvidos, a solução de software fica inviabilizada.

Desta forma resta a alternativa tipo "força bruta", qual seja prover uma via dedicada para a base de tempo. Esta via dedicada pode ser difundida em "broadcasting" (p.ex.: Observatório Nacional) para todo o sistema ou a partir do centro de operação aos SDCDs. A implementação desta alternativa poderá ser feita através do canal normalmente disponível como redundância ao de comunicação de dados.

O algoritmo para acerto e ajuste do relógio poderia ser similar ao utilizado na VSI (Vide seção 3.2).

4 - CONCLUSÃO

A solução de sincronismo da VGI vem sendo implementada no SDCD, para que se possa iniciar testes exaustivos de seu comportamento. Deve-se notar que uma simulação não é viável do ponto de vista prático, dado que a solução envolve tanto recursos de hardware quanto de software.

No que tange ao sincronismo da VSI, este já foi implantado e se encontra operante nos TACs, instalados na Usina de Passo Fundo e no protótipo a ser instalado na subestação de Palhoça, ambas as instalações pertencentes a Eletrosul.

O sincronismo entre sistemas em subestações ou usinas diferentes é um problema ainda não enfrentado, dado o estágio de desenvolvimento do projeto SDCD.

REFERÊNCIAS:

- [1] Lamport, L., Time, Clocks and The Ordering of Events in a Distributed System. Communications of The ACM (1978)
- [2] Carlini, V. and Villano, U., A Simple Algorithm for Clock Synchronization in Transputer Networks. Software-Practice and Experience (1988).
- [3] Throp, J. S., Phadke, A. G., Horowitz, S. H. and Bogovic, M. M., Some Applications of Phasor Measurements Adaptive Protection.
- [4] Miranda, S. L. Fernandes, A. L. Andrade, H. G., Moszkowicz, M., Ferreira, C.A., Cabrera, J. R., Tedesco, C. and Araújo, L. F., Protótipo de um sistema Digital

de Sequenciamento de Partida, Parada e Operação para as Unidades Geradoras de Usinas Hidrelétricas. IX Seminário Nacional de Produção e Transmissão de Energia Elétrica (1987).

- [5] Andrade, H. G., Bianco, J. C., Moszkowicz, M., Lourenço, P. M., Tedesco, C. A. and Andrade, L. F., Sistema de Aquisição de Dados (SAD) para Subestações e Usinas, IX Seminário Nacional de Produção e Transmissão de Energia Elétrica (1987).