

SUMUS - BImicroprocessador

João C. Netto, Altamiro A. Suzim, R. Telichevesky, T. Wagner

Pós-Graduação em Ciência da Computação

UFRGS

Av. Osvaldo Aranha 99-Térreo POA-RS

Cep.: 90210

Sumário:

Esta comunicação objetiva descrever o projeto de um multiprocessador desenvolvido na UFRGS. Composto de 2 processadores mc68000 e um processador de I/O, o sistema possui uma memória global e 2 memórias locais, uma para cada processador.

Já em funcionamento, estão sendo implementados sobre o SUMUS 2 sistemas, uma máquina Pascal e uma máquina LISP, que possuirão melhor desempenho quando executados neste multiprocessador.

Descrição do Sistema:

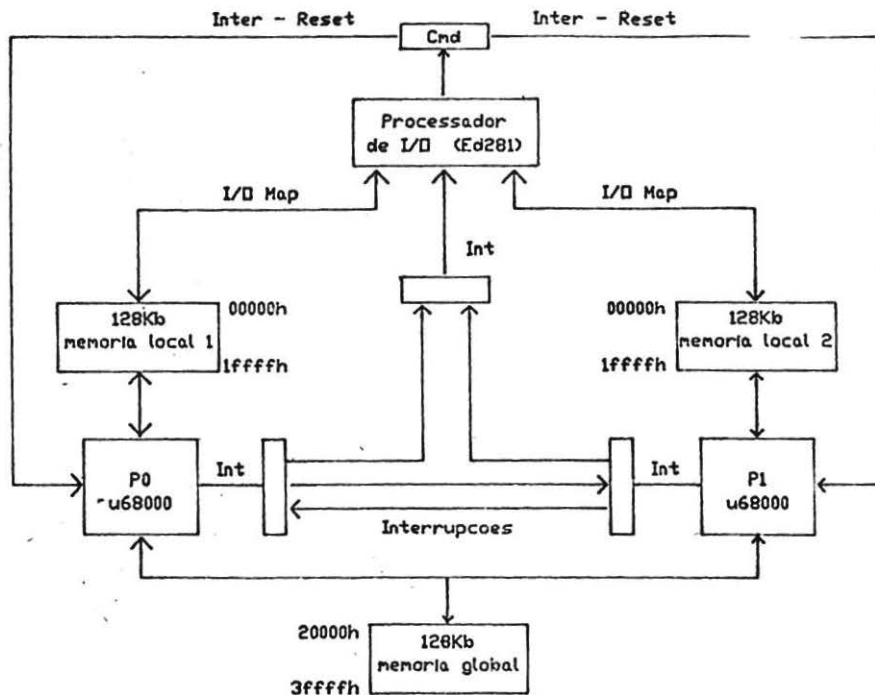
A máquina SUMUS é um multiprocessador que foi concebido para avaliar sistemas deste tipo e a fim de servir de suporte para implementação de uma máquina Pascal Concorrente e de uma máquina LISP, as quais poderão ter melhor performance quando executados seus algoritmos no SUMUS.

A seguir a arquitetura geral do sistema;

Sendo um multiprocessador, o SUMUS possui uma memória global partilhada a todas unidades processadoras e uma memória de uso exclusivo para cada processador, chamada de memória local.

O SUMUS é estruturado sobre 2 CPUs com 2 barramentos cada. O barramento global interconecta as CPUs e a memória global enquanto cada barramento local provê uma memória individualizada para cada unidade e o compartilhamento desta com o processador de I/O.

Cada unidade é composta por um 68000 e forma um subsistema de computação com um espaço de memória de 128K partilhada com o outro processador. Além da memória local (também 128K), esta unidade é dotada de um sistema de interrupções no qual está ligada a outra CPU, um timer para suportar implementação de time-slice, e uma interrupção de falha de memória.



Arquitetura do sistema SUMUS

O processador de I/O compartilha a memória local de cada unidade de processamento, através da qual são passados todos os parâmetros de entrada e saída, não existindo assim barramento específico para este fim.

Este processador de I/O é um microcomputador EDISA (ED281), no qual as memórias locais estão mapeadas como endereços de E/S deste micro, permitindo o acesso através de 8K páginas de 16 bytes. No sistema de interrupções do computador foram incluídas linhas para atendimento de requisições das unidades de processamento.

Este computador é responsável pela carga de programas na memória local de cada CPU do SUMUS, uma vez que estas não possuem eeprom de bootstrap. O processador de I/O atua diretamente nas linhas de reset, halt e interrupção de cada processador, controlando o início da execução de programas em cada CPU e facilitando o protocolo de E/S.

Estado atual:

O primeiro protótipo está em funcionamento e foram desenvolvidos alguns programas para teste do hardware.

Como suporte para futuros desenvolvimentos existe um carregador que transfere arquivos para cada memória local. Estão sendo desenvolvidas algumas primitivas de comunicação com o BIOS do processador de I/O a fim de facilitar os procedimentos de E/S dos processos executados.

Como já referenciado, está em desenvolvimento um sistema operacional de uma máquina Pascal Concorrente e de uma máquina LISP, artigo deste mesmo simpósio.

Futuros desenvolvimentos:

Com a avaliação do desempenho dos sistemas atuais pretende-se reformular a arquitetura do SUMUS para facilitar o sistema de I/O e as áreas compartilhadas conforme as novas propostas de sistemas que surgirem. As próximas versões possuirão maior capacidade de memória, ligadas a um computador de 16 bits que executará a entrada e saída, incrementando a performance do sistema.

Bibliografia:

1. SUMUS - Projeto Bimicroprocessador; XIX Congresso Nacional de Informática; Rio de Janeiro-RJ, 1986
2. SUMUS - Projeto BI-Microprocessador; XIII SEMISH, VI Congresso da Sociedade Brasileira de Computação; Olinda-Recife, 1986
3. A Implementação da Máquina Pascal Concorrente no Ambiente de Multiprocessamento de Máquina Micro-Bis; XIII SEMISH, VI Congresso da SBC; Olinda-Recife, 1986
4. O Sistema de Entrada e Saída da Máquina Micro-Bis; XIII SEMISH, VI Congresso da SBC; Olinda-Recife, 1986.
5. A Hierarchical Design Methodology for Multiple Microprocessor System; Microprocessing and Microprogramming, The Euromicro Journal-Nov, Dec 1985
6. Mc68000, Systems Design Module User's Guide
7. Mc68000 - 16 bit microprocessing unit
8. MOS Memory data book