

UMA ARQUITETURA DE MEMÓRIA MULTIPORTAS SIMULADA ATRAVÉS DE MEMÓRIAS RÁPIDAS: A PRIMEIRA AVALIAÇÃO DO DESEMPENHO

Mario Mauricio Fiallos Aguilar*

SUMÁRIO

Este trabalho apresenta a primeira avaliação do desempenho de uma arquitetura de memória multiportas. - A arquitetura a ser formada por microprocessadores da família 68xxx é rapidamente apresentada para permitir os cálculos da vazão e eficiência.

ABSTRACT

This work presents the first valuation of the performance of a multiprocessor system-multiport memory organization. The architecture (will be formed by 68xxx microprocessors) is briefly described to realize the calculations of throughput and efficiency.

1. INTRODUÇÃO

Os progressos alcançados na área de circuitos integrados tem facilitado a evolução de novas opções no processamento de informação. Dentro destas opções as arquiteturas multiprocessadas ocupam uma posição de destaque devido a seu alto desempenho e custos razoáveis.

Os sistemas multiprocessadores | ENSL 77 | são geralmente utilizados em aplicações que requerem o processamento de grande quantidade de informação em um espaço de tempo relativamente curto. Exemplos das áreas de aplicação são: o processamento paralelo de jobs, a computação gráfica, a realização de previsões meteorológicas, o comportamento dinâmico de flúidos etc.

Pelo exposto no parágrafo anterior é compreensível que o desenvolvimento da indústria de computação brasileira provoque a médio e curto prazo, uma utilização maior da tecnologia de multiprocessamento. É compreensível também que existam estudos para calcular com o maior grau de aproximação o desempenho de sistemas multiprocessadores | FIAL 85 |, | BRAS 85 |, | BRAS 86 |, | BOWE 80 |.

* Ingeniero Electricista (Universidad Nacional A. de Honduras, 1984)
Msc. Eng. Elétrica-Sistemas de Computação (PUC/RJ, 1985)
Professor do Depto. de Eng. Elétrica da Univ. Federal do Ceará
Caixa Postal # 2554
Fortaleza 60.000 CE - Telefone (085) 243-4877 R-07

Neste artigo, é apresentada uma primeira avaliação do desempenho de um sistema multiprocessador com organização de memória multiportas simulada através de memórias rápidas | FIAL 85 |, baseada no ciclo de memória (t_c) e no tempo mínimo entre dois pedidos de acesso consecutivos à memória (t_2). - Inicialmente descreve-se a arquitetura, em seguida é realizado o cálculo do desempenho e finalmente são apresentadas as conclusões.

2. DESCRIÇÃO DA ARQUITETURA

Se o controle, a comutação e a lógica para resolver conflitos de acesso à memória for concentrada na mesma, o sistema multiprocessador resultante possui uma organização de memória multiportas (figura 1). O método usado para resolver estes conflitos de acesso baseia-se na implementação de uma política de prioridades.

Com tudo isto, existem diversas limitações que tornam difícil conceber uma memória multiportas (MM) ideal; isto é: uma MM que permita "verdadeiras" transferências simultâneas entre os EPs e a mesma. Para contornar estes problemas decidiu-se adotar uma organização que simula a MM. A filosofia adotada | FIAL 85 | consiste na multiplexação no tempo do atendimento aos pedidos de acesso à memória utilizando memórias rápidas. Assim, a memória multiportas do sistema cujo desempenho será estudado, não suporta "verdadeiras" transferências simultâneas com os EPs. Isto significa que na realidade só um EP de cada vez, pode completar sua transferência com a memória multiportas. Repare que esta multiplexação pode ser realizada de duas formas diferentes: multiplexando os pedidos de acesso, de modo que cada EP permaneça acessando a MM durante todo seu ciclo de barra, ou permitindo que cada EP permaneça utilizando a MM apenas durante o ciclo de memória. Dependendo do ponto de vista ambas as formas, em particular a primeira, podem ser consideradas arquiteturas de barra compartilhada. A segunda forma de multiplexação permite maior rapidez, apesar de exigir lógica de controle não encontrada na primeira, e em consequência seu custo ser maior. Repare também que se as transferências entre os EPs e a MM são realizadas "rapidamente" pode obter-se a impressão de simultaneidade ou paralelismo nas mesmas.

Para a realização da arquitetura foram estudados vários aspectos, entre os quais o da escolha da família de processadores que seriam utilizados na implementação dos elementos processadores (EPs). Este estudo compreendeu entre outros aspectos, a análise de microprocessadores de 16 bits e de características relacionadas com gerenciamento de memória e facilidades de multiprocessamento e memória virtual.

A família motorola M68000 através de sua unidade de gerenciamento de memória (MMU) MC68451 e da CPU MC68010 fornece um tratamento adequado aos aspectos anteriormente mencionados e por este motivo foi escolhida. A figura 2 mostra cada um dos EPs que formam a arquitetura.

No referente à MM é importante salientar que sua parte mais complexa são as portas. Estas são formadas por 3 blocos lógicos básicos: um detector de instruções TAS | MOTO 83 |, Buffers /

latches para isolar ou comunicar as barras de endereço, dados e controle do EP com a memória física, e o controle interno. Estes blocos solicitam ao árbitro (sinais RQi na figura 1) o acesso a memória física, enquanto que os sinais ACKi (provenientes do árbitro) outorgam o acesso à memória física. A memória física é formada por memórias rápidas (tempo de acesso entre 35 e 45 ns.).

3. AVALIAÇÃO DO DESEMPENHO

Existem dois parâmetros necessários para o cálculo ou avaliação do desempenho de um sistema multiprocessador: a vazão ("throughput") e a eficiência.

A vazão de um sistema de computação, é a razão entre a quantidade de processamento realizada ("carga") e o tempo requerido para seu processamento. A eficiência por sua vez pode ser avaliada em função de sua vazão e do número de EPs que formam o sistema.

Idealmente, a vazão deveria aumentar proporcionalmente com o número de EPs adicionados ao sistema. Na prática, devido a diversos fatores, a relação entre a vazão e o número de EPs adicionados não é proporcional. Repare também que a eficiência ideal de um sistema deveria ser 100%, o que não ocorre sempre.

A forma de calcular a vazão e a eficiência da arquitetura baseia-se em dois modelos de acesso à memória que, utilizando parâmetros como tempo mínimo entre dois pedidos de acesso consecutivos à memória (t_2) e o ciclo de memória (t_c), consegue obter uma aproximação razoável com um grau de complexidade mínimo.

3.1 - VAZÃO E EFICIÊNCIA EM SISTEMAS MULTIPROCESSADORES

A vazão absoluta de um sistema de computação é a razão entre a quantidade de processamento realizada e o tempo requerido para sua realização. Assim, se VA é a vazão absoluta:

$$VA = Q/TP = \text{QUANTIDADE DE PROCESSAMENTO REALIZADA/TEMPO DE PROCESSAMENTO}$$

A vazão relativa de um sistema (VR), comparada com um outro sistema referência é a razão entre sua vazão e a vazão do sistema referência. Assim, VR é razão entre a vazão absoluta do sistema sendo comparado (VAc) e a vazão absoluta do sistema referência ou base (VAb).

Quando o tempo de processamento é o mesmo para ambos os sistemas:

$$VR = VAc/VAb = (Qc/TP) / (Qb/TP) = Qc/Qb$$

onde, Qc = quantidade de processamento realizada no sistema sendo comparado, e Qb = quantidade de processamento realizada no sistema base ou referência.

Quando a quantidade de processamento realizada é a mesma

para ambos sistemas:

$$VA = VAc/VAb = (Q/TPc)/(Q/TPb) = TPb/TPc$$

onde, TPb = tempo de processamento no sistema base e TPc = tempo de processamento no sistema sendo comparado.

O cálculo da eficiência foi avaliado em função da sua vazão relativa a um sistema monoprocessador e do número de EPs que o formam. Neste caso a eficiência do sistema multiprocessador pode ser medida por:

$$EFI (\%) = (VR/N) \times 100$$

onde, N = número de EPs do sistema.

Em outros termos, o sistema multiprocessador com N EPs terá uma eficiência de 100% em relação ao número de EPs, se sua vazão relativa for igual à vazão de N EPs.

3.2 - DESEMPENHO DA ARQUITETURA

A avaliação da vazão relativa e da eficiência da arquitetura é realizada tomando como hipótese que os EPs solicitem o acesso à memória com a taxa máxima $1/t_2$. Entretanto, serão considerados dois diferentes casos: o primeiro que inclui além da hipótese anterior um número de EPs menor ou igual do que a razão entre t_2 e t_c e o segundo incluindo também a primeira hipótese, porém com um número de EPs maior do que a razão entre t_2 e t_c .

A figura 3-a serve para ilustrar o primeiro caso, isto é: um sistema com N EPs ($EP_0 \dots EP_{N-1}$) que solicitam o acesso à memória com a taxa constante $1/t_2$ entre dois pedidos de acesso consecutivos, sendo que o tempo entre dois pedidos de acesso consecutivos (t_2) é maior ou igual do que o tempo necessário para realizar N ciclos de memória: $t_2 \geq N t_c$. Já a figura 3-b mostra o segundo caso: o tempo entre dois pedidos de acesso consecutivos é menor do que $N t_c$: $t_2 < N t_c$.

Nas figuras 3-a e 3-b, a_{\uparrow} representa o início de um acesso do EP à MM, e P_{\uparrow} representa o pedido de acesso do EP à MM. É importante não confundir a_{\uparrow} que representa o instante no qual o EP começa acessar a memória com P_{\uparrow} que representa unicamente o instante no qual o EP solicita (e não consegue) realizar o acesso.

Por simplicidade na figura 3-a, o eixo tempo é dividido em intervalos contíguos de valor $N t_c$ (na figura 3-a são mostrados três destes intervalos).

Cada um destes intervalos é por sua vez dividido em outros N subintervalos de tempo (cada subintervalo com um valor de t_c) que representam N acessos à memória, um acesso realizado por cada um dos EPs. Assim por exemplo, no primeiro intervalo $N t_c$ à esquerda, o primeiro subintervalo representa o acesso do EP_0 , o segundo subintervalo representa o acesso do EP_1 , etc...

A partir do intervalo de sincronização, nenhum dos EPs

sofre retardos no acesso à memória e permanecem todos ocupados ora acessando a memória ora realizando processamento interno. Pode-se concluir portanto que a quantidade de processamento produzida pelos N EPs é N vezes superior à quantidade de processamento produzida por um único EP. Deste modo a vazão relativa $VR = N$ e a eficiência

$$EFI (\%) = \frac{VR}{N} \times 100\% = 100\% .$$

Na figura 3-b a partir do intervalo de sincronização, o EPO acessa a memória seguido dos acessos à memória de cada um dos restantes EPs. Como $Ntc > t_2$, isto é, o tempo entre dois pedidos de acesso consecutivos à memória de cada um dos EPs é menor do que o tempo necessário para realizar N ciclos de memória (Ntc), cada um dos EPs pode sofrer um retardo $\Delta = Ntc - t_2$. Repare que todos os EPs realizam um acesso à memória e pedem de novo o acesso em um intervalo de tempo Ntc. Ver por exemplo, no segundo intervalo Ntc da figura 3-b, que o EPO além de acessar a memória (no primeiro subintervalo) realiza um novo pedido de acesso no mesmo intervalo de tempo Ntc. Isto é: em um intervalo de tempo Ntc, cada EPs processa um tempo igual a t_2 e fica esperando um tempo igual a Δ . A vazão de cada processador em um intervalo de tempo Ntc é portanto t_2/Ntc . Como existem N EPs a vazão total é N vezes o valor acima e portanto $VR = t_2/tc = a$. A eficiência do sistema é:

$$EFI (\%) = \frac{VR}{N} \times 100\% = \frac{a}{N} \times 100\%$$

Os gráficos da figura 4 servem para aclarar alguns pontos importantes do desempenho obtido a partir dos dois casos apresentados.

A figura 4-a mostra a VR do sistema multiprocessador em função da razão entre t_2 e tc . Pode-se apreciar que quando $N \geq a$, a vazão relativa do sistema cresce proporcionalmente com o valor de "a" e é independente de N. Quando $N < a$, a vazão relativa é constante (N) e independe do valor de "a".

Na figura 4-b é mostrada a vazão relativa em função do número de EPs (N) mantendo para cada um dos casos a razão "a" constante. Note por exemplo que quando $N < a$ a VR resultante é N. Quando o número de EPs é maior do que a razão "a", a vazão relativa máxima é igual a "a" independentemente do número de EPs adicionados ao sistema.

A eficiência em função do número de EPs é apresentada na figura 4-c. Pode-se confirmar facilmente que a eficiência de 100% ocorre quando o número de EPs é menor ou igual do que a razão "a".

O passo seguinte na avaliação do desempenho da arquitetura é o cálculo da vazão e a eficiência utilizando parâmetros específicos da família Motorola 68000. Deverá se obter o número de EPs que segundo a maneira de avaliar o desempenho apresentada produz a máxima vazão. A eficiência também é avaliada. Primeiramente os cálculos são efetuados utilizando unicamente os aspectos dos EPs já modelados; em segundo lugar, são considerados além dos aspectos já modelados, aspectos mais realistas da CPU e da MMU que fornecem valores menos otimistas e mais próximos da realidade.

Para realizar a avaliação do desempenho segundo as

hipóteses assumidas, é necessário encontrar o tempo mínimo entre dois pedidos de acesso consecutivos à memória em função de parâmetros dos EPs formados a partir da Motorola. É utilizado o sinal MAS ("mapped address strobe") | MOTO 83 1 | como pedido de acesso à MM. Com isto último, $t_2 = 4/F$ onde, f = frequência de clock do 68010 e então: a vazão relativa máxima e a eficiência são dadas pelas expressões:

$$VR = t_2/tc = 4/ftc$$

$$EFI (\%) = \frac{VR}{N} \times 100\% = (4/ftcN) \times 100\%$$

A tabela 1 mostra valores de t_2/tc , o número mínimo de EPs para obter a máxima vazão relativa e a correspondente eficiência para diferentes valores do "CLOCK" e para dois diferentes ciclos de memória (45 ns e 35 ns).

É claro (ver tabela 1) que para aumentar a vazão do sistema, os EPs devem funcionar com a frequência máxima de operação. Entretanto, quando maior for esta frequência, maior deverá ser a frequência de operação do controle da memória multiportas a fim de evitar retardos nos acessos.

Os aspectos relacionados com o "timing" dos EPs que não foram considerados para a avaliação da vazão e da eficiência da arquitetura e que entretanto podem influenciar bastante as figuras obtidas acima são:

a) Características internas à MMU que obriguem o uso de "latches" externos à mesma para armazenar o endereço físico (PA). Seria lógico utilizar o sinal MAS para ativar os "latches". Entretanto a referência | MOTO 83 1 | mostra que o sinal é gerado no máximo 10 ns antes que o endereço físico exista. Esta é uma característica bastante surpreendente da MMU e que provoca outros problemas que serão vistos adiante.

Como o sinal MAS pode ser ativado até 10 ns antes de que o endereço físico exista, este sinal precisa ser retardado no mínimo 10 ns, a fim de fornecer o tempo de "Set-up" entre o endereço físico e MAS nos "latches" externos à MMU. Este tempo de "Set-up" é chamado tpo. Se os latches usados fossem os SN745373, tpo é 18 ns e tdelay = ns.

b) Devido à presença antecipada do sinal MAS, existe a necessidade de utilizar a barra interna da MM um tempo maior que o tempo de ciclo da memória física (MF). Este tempo adicional deve-se, no caso da leitura, a que o acesso somente poderá ser feito após o aparecimento do endereço físico (PA), | MOTO 83 1 | e no caso da escrita, após que os sinais de validação de dados (PUDS e/ou PLDS) indicarem o byte ou palavra na qual a mesma será realizada.

c) A existência do tempo de "Set-up" entre o sinal "DTACK" | MOTO 83 1 | e o ciclo de relógio S_n . Se este tempo não for satisfeito, os processadores inserem ciclos de "Wait" que não estavam privamente modelados.

Entretanto, os efeitos apresentados acima podem ser atenuados (de modo que o desempenho do sistema não diminua e também de

forma que o comportamento do sistema seja aproximadamente o da figura 3), se algumas modificações forem introduzidas:

a) Para permitir que a utilização da barra interna da MM ocorra unicamente durante ciclo de leitura, o sinal PA (endereço físico) será interpretado como um pedido de acesso, enquanto que nos ciclos de escrita, o pedido será realizado unicamente quando o sinal PUDS/PLDS (validação de dados) | MOTO 83 1 | se encontrar ativo.

b) No controle da porta, o sinal DTACK não precisa ser ativado após o acesso à MF, e sim tão logo os sinais PA (em leitura) e PUDS/PLDS (em escrita) se encontrarem ativos.

Para encontrar a frequência máxima de operação dos EPs que evite a existência de ciclos de "Wait" e que possibilite o cálculo da vazão relativa máxima, foram analisados os ciclos de leitura e escrita e encontrou-se que a frequência máxima sem ciclos de "Wait" era determinada | FIAL 85 | pelo "timing" do ciclo de escrita (na realidade o ciclo de escrita no referente ao comportamento do sistema representava o pior caso). Assim da figura 5:

$$55ns + 25ns \leq T/2 - 20ns$$

$$200ns \leq T$$

$$T = \text{Período}$$

Consequentemente, a frequência máxima de operação é 5 Mhz.

Para encontrar a vazão relativa máxima é necessário obter o valor de t_2 em termos da frequência. Quando o processamento inclui unicamente ciclos de leitura ou unicamente ciclos de escrita, o valor de t_2 é $4T$: este é o intervalo de tempo mínimo entre a existência de dois endereços físicos (no caso de leitura) ou de dois sinais PUDS/PLDS ativos (escrita). Entretanto, o valor de t_2 é menor quando um ciclo de escrita é seguido de um ciclo de leitura, como é mostrado na figura 6, neste caso o valor de t_2 é $3T + 128$ ns. Como $T = 200$ ns, então: $t_2 = 728$ ns.

Em consequência, para memórias com tempo de ciclo igual a 35 ns e 45 ns, a vazão relativa máxima e o número mínimo de EPs esperados são respectivamente:

$$t_c = 45 \text{ ns} \implies VR = 728/45 \text{ e } N = 17$$

$$t_c = 35 \text{ ns} \implies VR = 728/35 \text{ e } N = 21$$

4. CONCLUSÕES

As duas formas de avaliação do desempenho apresentadas, oferecem diferentes alternativas para o cálculo da vazão e a eficiência do sistema. A segunda forma por levar em consideração aspectos mais realistas do que a primeira, oferece uma melhor aproximação. Re pare por exemplo, que segundo a primeira avaliação, quando $t_c = 35ns$ e $f = 5Mhz$, $VR = 22,86$, enquanto que na segunda, este valor é 20,8. A diferença de valores deve-se a que na segunda modelagem, t_2 foi avaliado em função do tempo mínimo que existe entre dois pedidos de

acesso quando o ciclo de escrita precede ao de leitura.

Devido às restrições encontradas no árbitro da MM
| FIAL 85 | que tornam proibitivas implementações com mais de 8 EPs, os valores acima encontrados revelam a existência de uma folga bastante confortável que permite uma grande flexibilidade na construção do árbitro, na escolha da memória física ou ainda compensar a existência de parâmetros específicos do controle do sistema desprezados na avaliação realizada.

Acredita-se que a avaliação realizada permite obter um primeiro cálculo do desempenho do sistema com um grau de aproximação razoável.

Avaliações posteriores envolvendo parâmetros ainda mais realistas dos apresentados poderão alterar as figuras apresentadas, sem no entanto modificar de forma significativa os resultados obtidos.

E finalmente é importante ressaltar que certas limitações da MMU 68451 que provocam entre outras coisas a operação dos EPs a 5 Mhz, já tem sido superadas através da introdução de novas MMUs: 68905, 68910, 68461, 68851 | ZEHR 86 |. - É conveniente estudar como seria modificado o desempenho do sistema utilizando estes novos CIs.

B I B L I O G R A F I A

- | BOWE 80 | The Logical Desing of Multi-microprocessor Systems. B.A. Bowen and R.J.A. Buhr. - Prentice Hall Inc. - 1980.
- | BRAS 85 | Técnicas de Multiplexação Por Divisão no Tempo para Interconexão Processador - Memória em Sistemas de Multiprocessadores: Um estudo comparativo. - M.A.G. Brasileiro e J.A. Moura. - Anais V Congresso da SBC, pp. 60 - 71. - 1985.
- | BRAS 86 | Interconexão Processador - Memória Via Técnica de Multiplexação Por Divisão de Tempo. - M.A.G. Brasileiro, J.A. Moura. - Anais VI Congresso da SBC, pp. 151 - 163. - 1986.
- | ENSL 74 | Multiprocessors and Parallel Processing. - P.H. Enslow. Jr. - John Wiley e Sons, Inc., 1974.
- | ENSL 77 | Multiprocessor Organization a Survey. - P.H. Enslow. Computer Surveys, Vol. 9 no. 1, pp. 103 - 129. - 1977.
- | FIAL 85 | Um Estudo e Uma Proposta de um Sistema Multiprocessador Com Organização de Memória Multiportas Simuladas através de Memórias Rápidas. - Mario Mauricio Fiallos Aguilar, tese de mestrado DEE PUC/RJ. - 1985.
- | MOTO 83 | MC 68010 16 bit Microprocessor Manual. - Motorola Inc., Agosto 1983.

| MOTO 83 1 | MC 68451 Memory Management Unit. - Motorola Inc., 1983.

| ZEHR 86 | Memory Management Units For 68000 Architectures - Gregg Zehr. - BYTE November 1986 pp. 127 - 135.

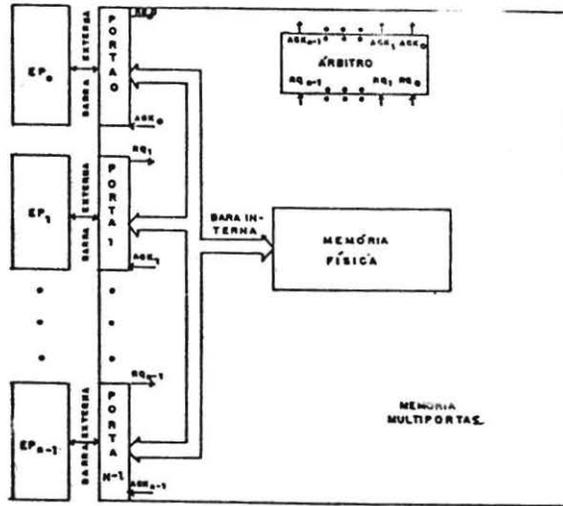


FIGURA 1

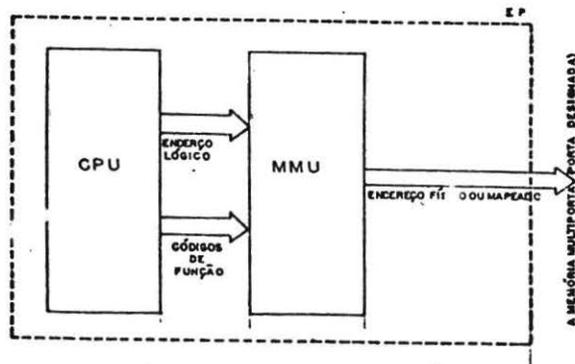


FIG. 2

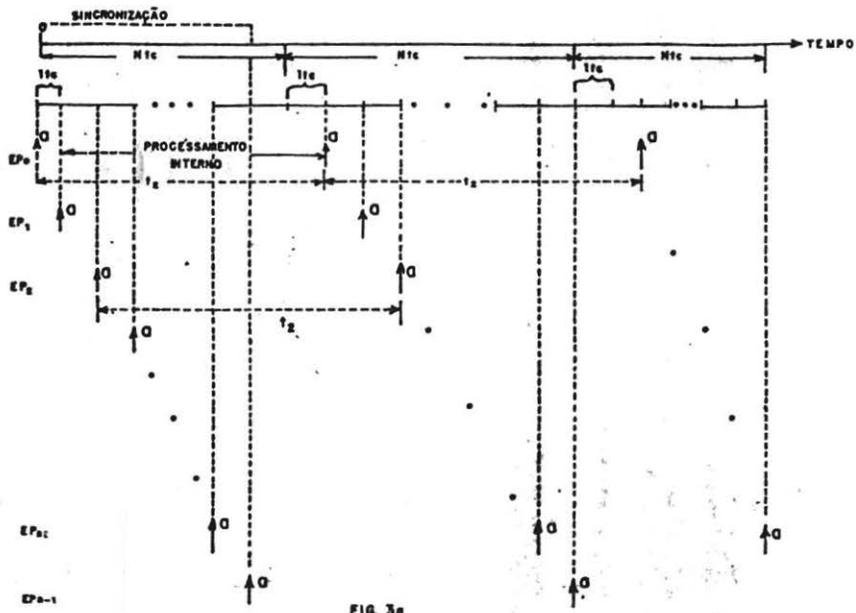


FIG. 3a

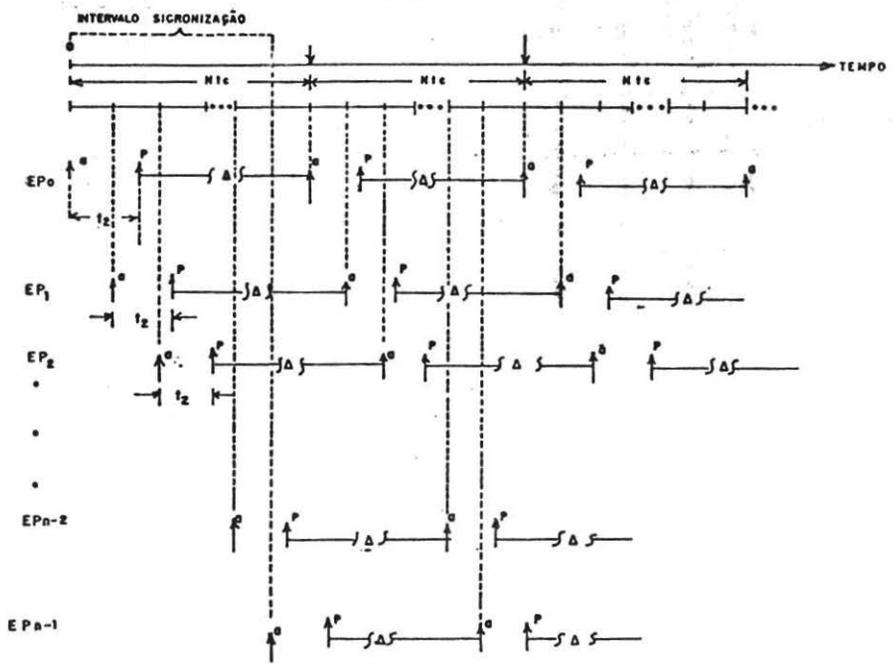


FIG. 3b

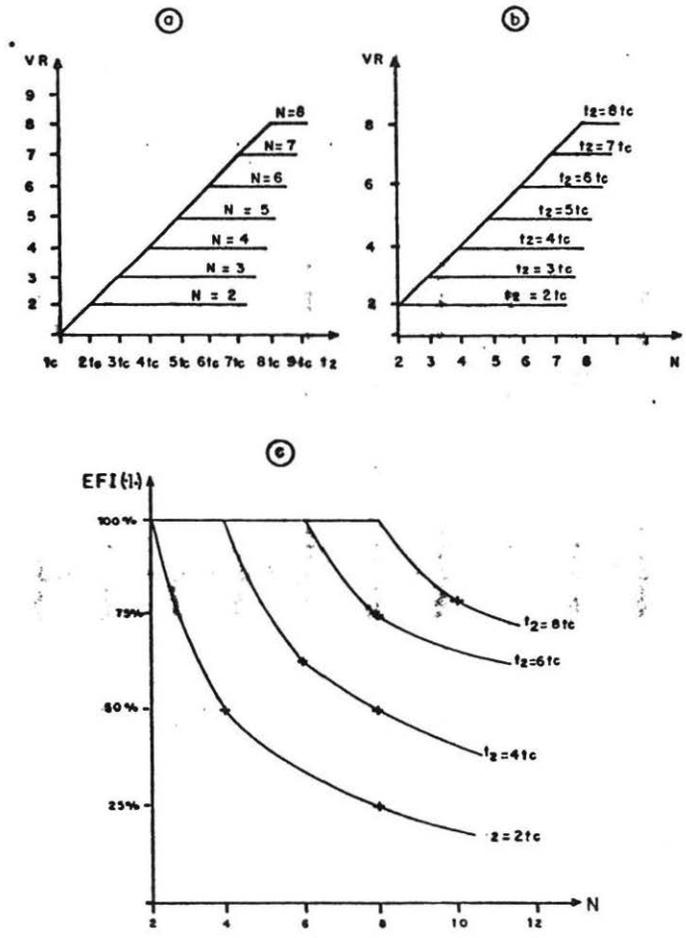


Fig. 4

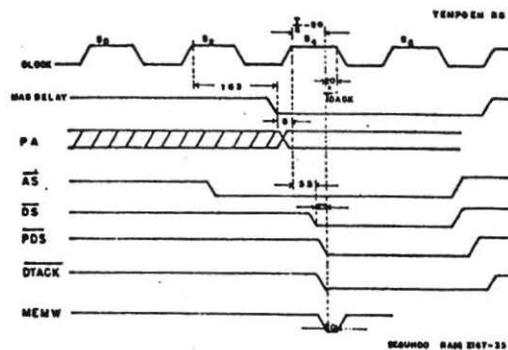


FIG. 5

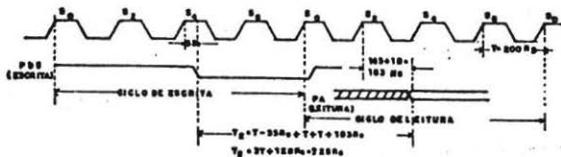


FIG. 6

$f_c = 45 \text{ ns}$

FREQÜEN- CIA (MHZ)	t_2/t_c	NÚMERO DE EPs (N)	EFI (%)
2	4,4,4	45	97,86
4	2,2,2	23	95,56
5	1,7,7	18	98,72
6	1,4,8,1	15	98,73
8	1,1,1,1	12	92,58
10	8,8,9	9	98,78

$f_c = 35 \text{ ns}$

FREQÜEN- CIA (MHZ)	t_2/t_c	NÚMERO DE EPs	EFI (%)
2	57,14	58	98,52
4	28,57	29	98,52
5	22,86	23	99,39
6	19,05	20	95,25
8	14,29	15	95,27
10	11,43	12	95,25

TABELA 1