

UMA EXPERIÊNCIA DE ESPECIFICAÇÃO FORMAL DE SISTEMAS
MULTIPROCESSADORES POR REDES DE PETRI

M. M. Fiallos Aguilar*

SUMÁRIO

Este artigo descreve uma experiência de utilização de Redes de Petri na especificação formal de Sistemas Multiprocessadores. - São introduzidos alguns conceitos básicos da teoria de Redes de Petri utilizadas na especificação de um sistema multimicroprocessador específico [FIAL 85].

ABSTRACT

This paper describes the utilization of Petri Nets to realize the formal specification of multiprocessor systems - the paper presents some basic concepts utilized in the specification of a specific multimicroprocessor.

* Ingeniero Electricista (Universidad Nacional A. de Honduras, 1984)
Msc. Eng. Eléctrica-Sistemas de Computação (PUC/RJ 1985)
Professor do DEE da Universidade Federal do Ceará
Áreas de interesse: Arquitetura de Processadores, e Redes de Computadores
Departamento de Eng. Elétrica/UFC
Caixa Postal # 2554
Fortaleza 60 000 CE
Telefone (085) 243 4877 R-07

1. INTRODUÇÃO

O surgimento dos sistemas multiprocessadores tem acarretado paralelamente aos benefícios inerentes, um aumento na complexidade de dos sistemas de computação e uma preocupação na especificação e verificação formal destes sistemas.

A complexidade dos sistemas multiprocessadores pode permitir que seus projetistas não levem em consideração situações críticas que podem chegar a ser catastróficas, colocando inclusive vidas humanas em perigo. - A dificuldade em detectar todas as situações relativas a vários processadores trabalhando em paralelo exige uma ferramenta matemática capaz de realizar a especificação e verificação formal de tais sistemas.

Existem várias ferramentas matemáticas para especificar sistemas paralelos entre as quais as Redes de Petri. - As Redes de Petri foram introduzidas por Petri e desde então tem sido utilizadas satisfatoriamente na especificação e verificação formal de sistemas paralelos.

No que se segue é apresentada uma especificação formal de um sistema multiprocessador com organização de memória multiportas. - Inicialmente são descritas algumas classes relevantes de Redes de Petri. - Seguidamente são apresentadas a arquitetura do sistema multiprocessador e a especificação deste por Redes de Petri. - As conclusões são o último ponto do trabalho.

2. REDES DE PETRI

As Redes de Petri (RP) são grafos que representam o comportamento dinâmico de sistemas paralelos. - Basicamente as RP consistem de "transições" que representam os eventos do sistema, "lugares" que representam os estados do sistema e "arcos" que ligam transições a lugares e lugares a transições. - O estado atual do sistema (conhecido também como marcação atual) é representado pela distribuição de fichas ("tokens") nos lugares. - Apenas a ocorrência de eventos pode alterar o estado do sistema. - A ocorrência de um evento é representada pelo disparo da transição correspondente; é por isto que apenas o disparo de transições pode modificar o estado do sistema ou em outros termos, modificar sua marcação. - Uma transição é sensibilizada (disparável) se cada lugar que possui arco dirigido à transição tem um número de fichas maior ou igual ao peso do arco que liga o lugar à transição em questão.

Os aspectos apresentados acima podem ser definidos formalmente | PETE 81 | da seguinte maneira: Uma Rede de Petri é um grafo definido pela quádrupla $C = (P, T, I, O)$, onde $P = \{P_1, P_2 \dots P_n\}$ é um conjunto finito de lugares, $n \geq 0$. - $T = \{t_1, t_2 \dots t_m\}$ é um conjunto finito de transições, $m \geq 0$. - "I" é a função de entrada que

realiza o mapeamento das transições aos lugares e "0" é a função de saída que mapea transições a lugares.- Um lugar p_i é um lugar de entrada à transição t_j , se $p_i \in I(t_j)$, p_i é um lugar de saída se $p_i \in O(t_j)$.- Exemplos de RP são mostradas nas figuras 1-a e 1-b.- Repare que nestas figuras apenas os lugares p_1 e p_2 possuem ficha, isto é, a marcação inicial é $M = (1 \ 1 \ 0)$.- As figuras mostram também duas formas diferentes de representar uma RP: analítica e graficamente.-

A Rede de Petri definida anteriormente é conhecida como Rede de Petri clássica.- Este tipo de rede pode modelar uma grande variedade de sistemas (software, hardware, etc.).- Entretanto, existem sistemas que não podem ser modelados apropriadamente por este tipo de rede |PETE 81 |.- Foi assim que surgiram diversas extensões de RP, como as RP com prioridades | HACK 75 |, as RP com temporização | MERL 76 |, | MENA 84 |, as redes de petri etiquetadas, etc.

Em uma Rede de Petri com temporização (RPT), um intervalo de tempo é associado a cada transição de uma RP clássica.- Este intervalo de tempo definido pelas suas duas extremidades corresponde ao intervalo de tempo no qual uma transição pode disparar a contar do instante em que foi sensibilizada.- A Figura 2 mostra uma RPT com três lugares: P_1 , P_2 e P_3 , e uma transição t_1 que tem associado um intervalo de tempo $|T_{i1}, T_{i2}|$.- Quando P_1 possui ficha da transição t_1 é sensibilizada, porém só pode ser disparada no mínimo um tempo T_{i1} ou no máximo um tempo T_{i2} depois de ter sido sensibilizada. Lembre-se que ao ser disparada t_1 , uma ficha é colocada em P_2 e P_3 .

Por sua vez, as RP etiquetadas têm associada a cada transição t_i , uma etiqueta da forma (I_i, O_i) .- Se a transição t_i estiver sensibilizada e a condição I_i for verdadeira, então a transição t_i pode ser disparada, e as ações O_i ocorrerão.

3. O SISTEMA MULTIPROCESSADOR

O sistema multiprocessador possui uma organização de memória multiportas. Isto implica que a lógica para resolver conflitos de acesso à memória esteja localizada na memória multiportas (Figura 3).- Para resolver este conflitos é utilizada uma política de prioridades.

Com tudo isto, existem diversas limitações que tornam difícil conceber uma memória multiportas (MM) ideal; isto é: uma MM que permita "verdadeiras" transferências simultâneas entre os EPs e a mesma.- Para contornar estes problemas decidiu-se adotar uma organização que simula MM.- A filosofia adotada | FIAL 85 | consiste na multiplexação no tempo do atendimento aos pedidos de acesso à

memória utilizando memórias rápidas.- Isto significa que na realidade só um EP de cada vez, pode completar sua transferência com a MM.

Foram realizados vários estudos para escolher a família de processadores a serem utilizados na implementação dos elementos processadores (EPs).- Os estudos compreenderam a análise de microprocessadores de 16 bits e de características relacionadas com gerenciamento de memória e multiprocessamento.- A família Motorola MC-68000 através da CPU 68010 e da MMU 68451 (atualmente se encontram disponíveis algumas MMUs que superam algumas limitações desta MMU | ZÉHR 86 |) foi escolhida.-

Por sua vez, a MM é formada por 3 blocos lógicos: o árbitro, as portas e a memória física.- A parte mais complexa da MM são as portas que por sua vez estão formadas pelo detector de TAS | MOTO 83 |, os buffers/ latches para ligar cada EP com a porta correspondente e o controle interno.- É a porta que solicita ao árbitro (sinais RQi na figura 3) o acesso à memória física, enquanto que os sinais ACKi (ativados pelo árbitro) outorgam o acesso à memória física.- A memória física é formada por memórias rápidas (entre 35 ns e 45 ns de tempo de acesso).

4. ESPECIFICAÇÃO DO SISTEMA MULTIPROCESSADOR POR REDES DE PETRI

Ao começar o projeto do sistema multiprocessador foi observada a grande dificuldade em manipular e sobre todo modelar a interação de cada EP com a MM.- Ainda mais, sendo a porta o elemento mais complexo da MM o seu comportamento devia ser plenamente especificado a fim de evitar situações não previstas ou indesejáveis.-

O funcionamento do EP (formado por uma CPU e uma MMU) é facilmente especificado através do "timing" dos manuais da Motorola | MOTO 83 |.- Entretanto, a interação do EP com a porta designada apresenta um grau de complexidade que dificulta "observar" todas as situações decorrentes.- Com o objetivo de especificar formalmente o sistema multiprocessador como um todo, foram construídas as RP que especificam o comportamento do EP e da porta designada.

Para realizar a especificação formal da arquitetura é necessário trabalhar com parâmetros específicos da família Motorola 68000.- Devido ao exíguo do espaço, não será apresentada uma descrição do funcionamento da CPU 68010 e da CPU 68451.- Entretanto, não pode deixar de omitir-se um diagrama em blocos de um EP (Figura 4) que mostre seus principais sinais.

A especificação do EP é realizada através da RP etiquetada da figura 5.- Esta RP modela o comportamento do EP para seus 3 tipos de ciclos: leitura, escrita e leitura-modificação-escrita.- A seguir é descrita o comportamento do EP para os 3 ciclos anteriormente mencionados.

a) Ciclo de leitura: a transição t_1 representa a ativação do sinal

$R/\bar{W} = 1$ (ciclo de leitura).- Por sua vez a transição t_2 representa a ativação dos sinais de validação de endereço e dados AS e DS.- O disparo da transição t_3 ocorre se não existir uma condição de falha, isto é: MAS ativo.- O sinal de validação de dados PDS é representado pela transição t_4 .- O endereço físico é representado pela transição t_5 .- Finalmente, o sinal DTACK é ativado (transição t_6).- As transições t_7 , t_8 e t_9 modelam o resto do ciclo de leitura.

b) Ciclo de escrita: uma vez que ocorre o evento representado pela transição t_{10} , é disparada a transição t_{11} que representa o sinal $R/\bar{W} = 0$.- Se na tentativa de realizar uma escrita, ocorre uma falha, as transições t_{21} e t_{22} são disparadas.- Se este não for o caso, as transições disparadas são as t_{12} e t_{13} que representam a existência de um endereço físico válido.- As transições t_{14} e t_{15} representam os sinais DS e PDS ativos.- A transição t_{16} é disparada para representar o atendimento do pedido de acesso.- As transições t_{17} , t_{18} , t_{19} e t_{20} finalizam a modelagem do ciclo de escrita.

c) Ciclo de L-M-E: a modelagem do ciclo de L-M-E é semelhante aos dois anteriores, pelo que não deve existir dificuldade para sua interpretação.- Entretanto, é importante reparar nas transições t_{23} e t_{24} que correspondem à negação dos sinais DS e PDS.- Seguidamente, a transição t_{11} é disparada.- A transição t_{15} é disparada quando ocorre a validação de dados.- O significado das restantes transições é igual aos das transições no ciclo de escrita.

A fim de completar a especificação da arquitetura é necessário apresentar a especificação formal da MM, e em especial das portas, por ser o bloco lógico mais complexo de todos os que formam a MM.- Com este objetivo é apresentado um diagrama em blocos da porta (Figura 6) descrevendo alguns dos sinais mais significativos para posteriormente construir a RP que modelará o comportamento da porta.

Sendo as portas os elementos de interface entre os EPs e a MM, suas características dependem fundamentalmente da família de microprocessadores utilizadas.- Por isso, grande parte da especificação das mesmas é baseada no fato de que os EPs são implementados com componentes da família Motorola 68000.- A seguir é apresentado o funcionamento da MM e da porta para posteriormente especificar a RP da porta.

A MM detecta um pedido de acesso cada vez que um EP realiza um ciclo de leitura e o endereço físico (PA) existe, ou cada vez que o EP realiza um ciclo de escrita e o sinal de validação de dados (PDS) é ativado.- Assim, com a existência destes sinais, inicia-se um acesso à MM através da porta associada ao EP.- A porta por sua vez, solicita ao árbitro a realização do acesso à MF, por meio da ativação do sinal "Request (RQ)".- O árbitro, segundo a política de prioridades, outorga o acesso por meio da ativação do sinal "ACKNOWLEDGE (ACK)" destinado à porta.- Quando a porta recebe o sinal ACK, permite que o EP acesse a MF, por meio da ativação de "buffers" e

"latches" que anteriormente desativados, impediam que as barras de controle, endereço e dados se comunicassem com a memória física.- Quando o EP completa o ciclo de memória física, embora o ciclo de barra do EP não tenha sido finalizado, a porta desativa os buffers e latches e avisa o árbitro da finalização do acesso, por meio da ativação do sinal de final de ciclo ("End of Cycle, EOC").- Quando o árbitro recebe o sinal EOC, permite a realização ou conclusão de um novo acesso à MF.

A porta por sua vez é formada por 3 blocos lógicos (Ver figura 6): Os buffers de dados, endereço e controle, o detector de TAS e o controle interno.- Como foi dito anteriormente, os buffers de endereço, dados e controle isolam ou comunicam o EP com as barras correspondentes da MM.- O detector de TAS avisa ao controle da porta quando o "pre-fetch" ou o "fetch" de uma instrução que utiliza um ciclo de leitura-modificação-escrita é realizado.- Uma vez que o controle da porta foi informado da ocorrência do "fetch" ou o "pre-fetch" de uma instrução TAS, são tomadas as medidas necessárias para que a MM suporte um possível acesso provocado por este tipo de instrução.- A parte do controle da porta será especificado por uma RP etiquetada.- Para apresentar a RP é necessário descrever brevemente os sinais da figura 6.- Isto é feito a seguir.

- FCO - FC2: códigos de função do EP indicando o estado usuário ou supervisor.
- PA₂₃ - PA1: é o endereço físico fornecido pelo EP.
- D15 - D0 : barra de dados do sistema.
- R/W : indica quando o ciclo é leitura ou escrita.
- PDS : strobe de dados físico.
- MAS : strobe de endereço mapeado.
- TASd: sinal ativo quando ocorreu o prefetch ou fetch de uma instrução TAS.
- ACK : reconhecimento de acesso à MF.
- MACK: sinal ativado cada vez que o acesso a MF é finalizado.
- FAD : sinal usado para ativar a barra de dados.
- FDW : ativado para colocar os buffers de dados no sentido EP → memória.
- LDR : sinal ativado para carregar nos latches os dados provenientes da memória.
- FOC : sinal que ativa os buffers da barra de controle.
- DTACK: confirmação do acesso.
- EOI : finalização da execução de um ciclo de L-M-E.

- Csmmu: ativado quando o acesso é dirigido à MMU.
- RQ : pedido de acesso à MF.
- EOC : ativo cada vez que ciclo de MF é finalizado.-

A partir deste ponto é possível apresentar o controle da porta.- Como o funcionamento do controle da porta depende bastante do ciclo de barra do processador utilizado, é conveniente para estudar a interação dos EPs com a porta, considerar o comportamento do EP conjuntamente com o controle da mesma.

A interação dos EPs com as portas da MM é mostrada para cada um dos 3 ciclos possíveis.- Nos três casos, a descrição da interação é realizada utilizando a RP etiquetada do controle da porta (figura 7) e a RP que modela os ciclos de barra do EP (figura 5):

a) Ciclo de leitura: Neste caso é descrita a interação das RP envolvidas quando um EP realiza um ciclo de leitura (ver figura 5).

A transição t_1 (figura 5) representa o sinal "Read (R)" e o sinal AS.- Com este último sinal ativo, a transição t_1 da figura 7 pode ser disparada.

A validação do endereço físico pelo EP (sinal ativo) é representada pela transição t_2 (figura 5). Se uma falha ocorre a transição t_3 não é disparada e as transições t_{10} e t_{29} são disparadas.

A transição t_4 representa a ativação do sinal de validação de dados PDS (ver figura 5). A transição t_5 representa a existência de um endereço físico: PA. Ao existir o endereço físico e se o acesso não é dirigido à MMU, a transição t_2 pode ser disparada representando a ativação do sinal RQ

No caso de um ciclo de leitura, e quando a MM por meio de seu árbitro permite o acesso à MF (sinal ACK ativo), os "buffers" de endereço e os "buffers" de controle são ativados (por meio dos sinais FAD e FOC ativos respectivamente). O sinal DTACK também é ativado. Estes eventos estão representados pela transição t_3 na RP etiquetada do controle da porta. Quando o sinal DTACK é ativado a transição t_6 da figura 5 é disparada.

Quando o acesso à memória for concluído, o sinal MACK é ativado. Os "buffers/latches" são ativados pela porta (sinal LDR ativo). Isto é representado pela transição t_4 (figura 7).

Se o "fetch" ou o "prefetch" de uma instrução TAS não tem sido detectado (sinal TASd negado) a porta desconecta seu EP da MF (negação dos sinais FAD, FOC e RQ) e avisa ao árbitro (sinal EOC ativo) para que este atenda novos pedidos de acesso. A transição t_5 (figura 7) representa este último aspecto.

Depois de que o acesso à memória foi realizado, o EP finaliza seu ciclo de barra (disparo das transições t_7 , t_8 e t_9 na

figura 5) e volta a seu estado inicial.

Quando o EP está concluindo seu ciclo de barra, o sinal AS é desativado e então, os "buffers/latches" são desativados (sinal LDR negado) junto com o sinal DTACK. Tudo isto é representado pela transição t_6 (na figura 7). Se o sinal TASd está ativo (TASd) e os sinais DS e AS estão negados simultaneamente, a transição t_7 é disparada e os sinais LDR, DTACK, FAD, FOC e RQ são negados enquanto que o sinal EOC é ativado.

b) Ciclo de escrita: A descrição é similar à do caso anterior.

O sinal AS é representado na RP do EP pela transição t_{10} (figura 5). Por outro lado, a transição t_{11} representa, o sinal W. Quando o sinal W se encontra ativo a transição t_8 da figura 7 pode ser disparada. Se uma falha ocorre as transições t_{21} e t_{22} são disparadas. A transição t_{12} representa a validação de um endereço físico (MAS) e a transição t_{13} quando disparada representa a existência deste endereço físico (PA).

O disparo da transição t_{15} na figura 5, modela a ativação do sinal PDS. Depois de que o sinal PDS se encontrar ativo, e se o acesso não é dirigido à MMU, é solicitado um acesso à MF por meio da ativação de RQ (ver transição t_9 na figura 5).

Tão logo o árbitro permite o acesso à MF (sinal ACK ativo) a transição t_{10} é disparada ativando assim os "buffers" de endereço (sinal FAD), de controle (FOC) e de dados (FDW) junto com o sinal DTACK. Com o sinal DTACK ativo a transição t_{16} (figura 5) pode ser disparada.

Quando o acesso à memória é começado, espera-se um intervalo de tempo ΔT a fim de fornecer o tempo de "set-up" entre os dados a serem escritos e o sinal MEMW. Isto é representado pela transição t_{11} .

Quando a escrita na memória for realizada (sinal MACK ativo), a transição t_{12} é disparada, negando assim, os sinais FDW, FAD, FOC e RQ e ativando EOC. A partir deste momento, novos pedidos de acesso à MF podem ser atendidos.

Como foi dito anteriormente, quando o sinal DTACK é recebido pelo EP, a transição t_{16} da figura 5 é disparada. Depois de um intervalo de tempo, o EP finaliza o ciclo de barra (sinais AD, DS, W, MAS e PDS negados). Isto é representado pelas transições t_{17} , t_{18} , t_{19} e t_{20} .

Antes de finalizar o ciclo de barra do EP (sinal AS negado), o controle da porta volta a seu estado inicial: isto é representado pela transição t_{13} na figura 7.

a) Ciclo de L-M-E:

O significado do disparo das primeiras seis transições da RP que modela o ciclo de L-M-E, t_1, \dots, t_6 , é idêntico ao significado do disparo das primeiras 6 transições ($t_1 \dots t_6$) na modelagem do ciclo de leitura do EP.

O comportamento da RP etiquetada da porta é similar ao comportamento quando é realizado um ciclo de leitura: as transições t_1, t_2, t_3 e t_4 representam este fato.

A transição t_{23} (figura 5) modela a negação do sinal DS. Na RP do controle da porta, a transição t_{14} é disparada se um ciclo de L-M-E está sendo realmente executado (sinais AS ativo), DS negado e TASd ativo) negando conseqüentemente os sinais FDR e DTACK. Note que o sinal TASd é usado pela porta e não pelo EP.

O disparo da transição t_{11} da figura 5 representa a ativação do sinal W. Com o sinal W ativo a transição t_{15} da figura 7 é disparada ativando os sinais FDW e EOI.

A transição t_{16} da figura 7 representa a validação dos dados (PDS). Quando não ocorre uma falha, as transições $t_{25}, t_{14}, t_{15}, t_{16}, t_{17}, t_{18}, t_{19}$ e t_{20} (figura 5) representam o resto do ciclo de escrita do ciclo de L-M-E.

A partir da transição t_{16} , o comportamento do controle da porta é similar ao comportamento quando um ciclo de escrita é realizado.

5. CONCLUSÕES

Foi apresentada a utilização das Redes de Petri na especificação de um sistema multiprocessador com organização de memória multiportas.- Devido às limitações das Redes de Petri clássicas foi necessário introduzir dois tipos especiais de RP: as Redes de Petri com temporização (RPT) e as RP etiquetadas que permitiram especificar o sistema multiprocessador de uma forma mais eficiente.

A especificação da arquitetura foi realizada através do projeto das RP dos três tipos de ciclos do EP: ciclo de leitura, ciclo de escrita e ciclo de leitura-modificação-escrita.

As Redes de Petri projetadas permitem acompanhar o comportamento de cada EP e da MM.- Isto permitiu detectar várias situações indesejáveis no decorrer da especificação do hardware da arquitetura.

6. REFERÊNCIAS BIBLIOGRÁFICAS

- | FIAL 85 | Um Estudo e Uma Proposta de Um Sistema Multiprocessador Com Organização de Memória Multiportas simulada através de M.mórias Rápidas.- Mario Mauricio Fiallos Aguilar - Tese de Mestrado PUC/RJ 1985.

- | HACK 75 | Petri Nets Language.- Computer Structures Group, June 1975.

- | MENA 84 | Introdução à Especificação e Verificação Formais de Protocolos de Comunicação dependentes do tempo por Redes de Petri com temporização.- Miguel Menasche.- XI SEMISH, pp 31-44, Julho 1984.

- | MERL 76 | A Methodology for the Design and Implementation of Communication Protocols.- P. Merlin IEEE Transaction on Communications Vol. COM-24, Nº 6 June 76, pp 614-621.

- | MOTO 83 | - 16 bit Microprocesssor Data Manual.- Motorola INC. Switzerland 1983.

- | PETE 81 | Petri Net theory and the Modeling of Systems.- James L. Peterson.- Prentice-Hall, Inc., Englewood Cliffs.- N.J. 1981.

- | ZÉHR 86 | Memory Management Units for 68000 Architectures Gregg Zehr.- BYTE pp. 127-135.- November 1986.

$$\begin{aligned}
 Q &= (P \ T \ I \ 0) & O(t_1) &= B \\
 P &= \{R_1, R_2, R_3\} & O(t_2) &= \{R_1, R_2\} \\
 T &= \{R_1, R_2\} \\
 I(t_1) &= \{R_1, R_2\} \\
 I(t_2) &= \{R_3\}
 \end{aligned}$$

FIGURA 1-a.

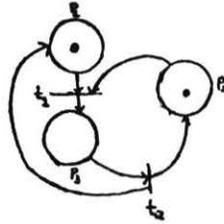


FIGURA 1-b

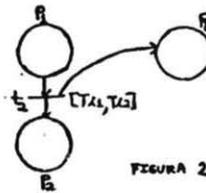


FIGURA 2

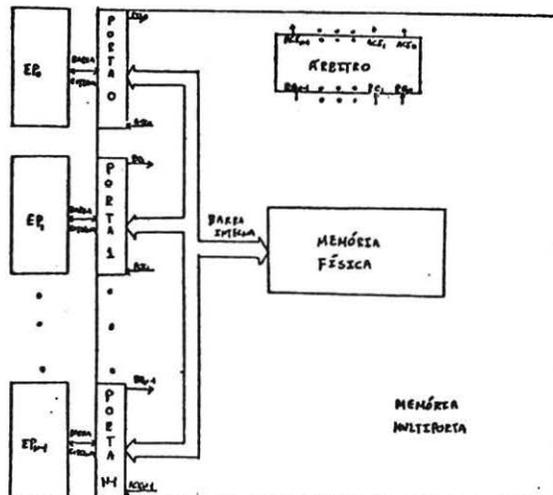


FIGURA 3

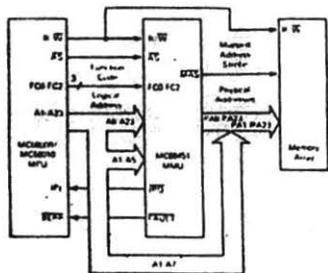


FIGURA 4

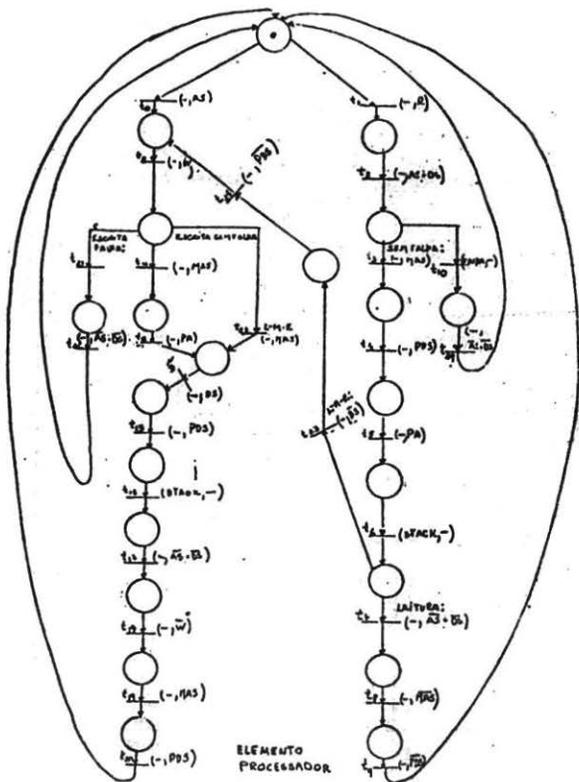


FIGURA 5

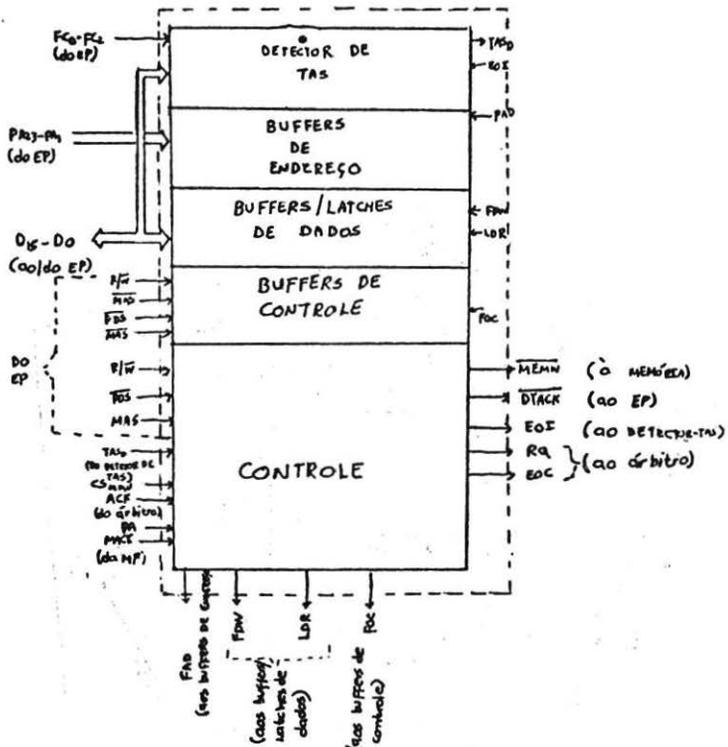


FIGURA 6

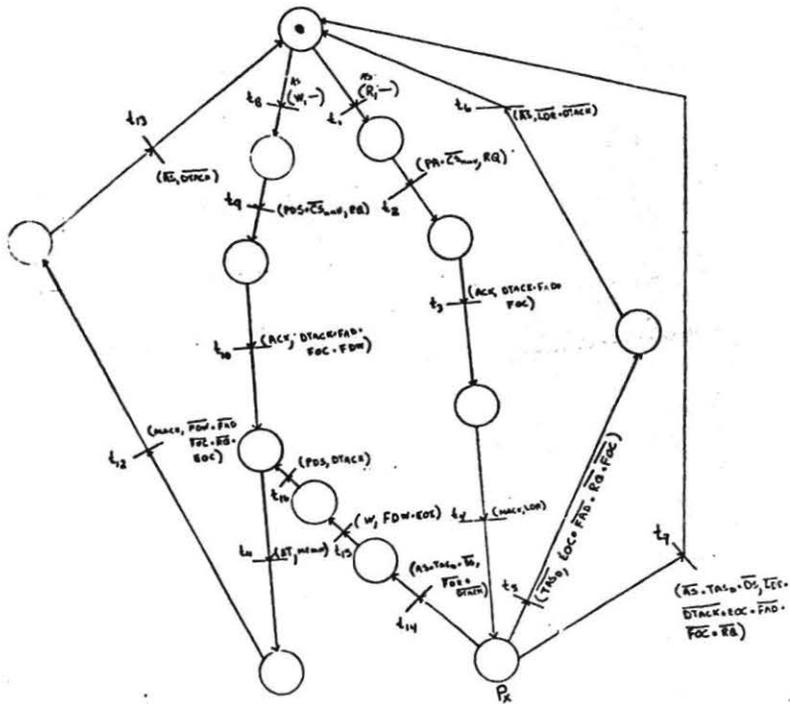


FIGURA 7