

PCIR-MX: UMA ARQUITETURA RISC MULTIPROCESSADOR.

RICARDO REIS*

SUMÁRIO:

Este trabalho introdutório mostra a estrutura básica de uma arquitetura multiprocessadores com um conjunto de introduções reduzido. Cada processador é um microprocessador de 32 bits com memória cache interna, baseado no microprocessador PCIR já projetado no PGCC/UFRGS.

ABSTRACT:

This work shows the basic structure of a reduced instruction set multiprocessor architecture. Each processor is a 32 bits microprocessor with an internal cache memory, and it is based on the PCIR microprocessor designed at PGCC/UFRGS.

* Eng. Eletrônico (UFRGS, 1978), Docteur-Ingénieur em Informática, opção Microeletrônica (INPG, FRANÇA, 1983).

Áreas de Interesse: Concepção de Circuitos Integrados, Compiladores de Silício, Arquiteturas RISC.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL, CURSO DE PÓS-GRADUAÇÃO EM CIÊNCIA DA COMPUTAÇÃO, CP 1501, 90.001 - PORTO ALEGRE, BRASIL.

1. INTRODUÇÃO

Na UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL, no Pós-Graduação em Ciência da Computação, vêm-se estudando arquiteturas tipo RISC (Reduced Instruction Set Computer) desde 1983. Esta atividade começou com a vinda do Professor Philip Treleaven (da Universidade de Reading, Inglaterra), no primeiro semestre de 1983, onde ministrou curso sobre arquiteturas RISC. Este trabalho teve sequência, na cadeira de microeletrônica do PGCC, com a definição da arquitetura de um microprocessador tipo RISC de 16 bits, chamado PCIR 16 (Processador com Conjunto de Introduções Reduzido). As primeiras publicações sobre o processador PCIR foram efetuadas em 1983 (TOD 83 ZYS83). O desenvolvimento deste trabalho resultou em tese de mestrado (TOD 86) (orientada pelos profs. Altamiro Amadeu Suzim e Antonio Carlos da Rocha Costa). O microprocessador PCIR 16 foi desenvolvido em tecnologia NMOS e o seu lay-out esta na fase final de roteamento (figura 1).

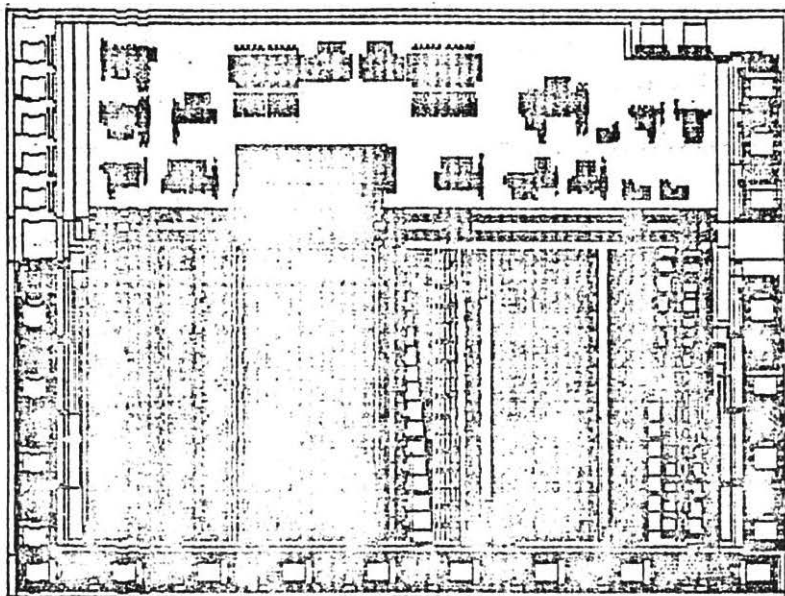


Fig 1: Lay-out do Microprocessador PCIR 16 (Nível Difusão)

Paralelamente ao desenvolvimento do PCIR 16 foi realizada uma parte operativa, em tecnologia CMOS, com 32bits. Este circuito foi processado em Grenoble, através de um programa de circuitos multi-projeto organizado pelo Institut National Polytechnique de Grenoble. O circuito já está encapsulado em 64 pinos e deverá passar agora pela fase de testes.

A próxima etapa a ser desenvolvida é a realização de uma nova versão do PCIR, em tecnologia CMOS.

Paralelamente a este trabalho, está se iniciando o projeto de um novo PCIR dedicado a uma arquitetura multiprocessador, denominado PCIR-MX.

II- ARQUITETURAS RISC: ORIGEM E FUTURO

Na década de 1970, havia uma tendência a aumentar cada vez mais o número de instruções dos microprocessadores. Fabricantes de microprocessadores salientavam o nº de instruções de seus novos produtos para justificarem o seu avanço em relação aos produtos concorrentes.

Estudos estatísticos sobre a utilização das instruções de processadores mostraram que enquanto algumas instruções eram utilizadas constantemente, outras eram utilizadas raramente, sendo estas últimas as que geralmente tinham a implementação mais complicada. Estes estudos levaram os projetistas de processadores a desenvolverem mecanismos para acelerarem a execução das instruções mais utilizadas. Como exemplo disto, temos o caso do microprocessador 16 bits Z8000 da Zilog |REI 80| onde as instruções LD (Load IMMEDIATE BYTE), CALR (CALL RELATIVE), JR (JUMP RELATIVE), DJNZ (DECREMENT AND JUMP ON NON-ZERO) recebem um tratamento especial, desde a decodificação, pois são as instruções mais frequentes em programas assembler do Z8000.

Posteriormente surgiu uma nova estratégia que consistia na redução do número de instruções do processador, e fazendo com que as instruções menos utilizadas fossem implementadas em software. Esta estratégia permite simplificar a parte controle do processador, possibilitando um aumento na velocidade de execução das instruções. Os primeiros trabalhos de implementação de processadores deste tipo foram efetuados na Universidade de Berkeley |PAT 82| e em seguida na Universidade de Stanford. Os resultados apresentados foram muito positivos, dando origem a empresas especializadas no desenvolvimento de computadores RISC, como a MIPS, e despertando o interesse de grandes empresas como a IBM, a Hewlett-Packard e a Xerox. Tanto a IBM como a Hewlett-Packard já possuem produtos implementados com arquiteturas tipo RISC como o IBM PC-RT e a linha SPECTRUM, respectivamente. A Xerox desenvolve uma estação de trabalho composta de 10 processadores RISC funcionando em paralelo, com um desempenho de 5 mips (mips do vax-780) cada

processador. As Universidades de Berkeley de Stanford estão também desenvolvendo arquiteturas com mais de uma dezena de processadores RISC operando em paralelo [PAT 86], [HEN 86]. O interesse por arquiteturas RISC tem aumentado consideravelmente e prevê-se o lançamento nos próximos anos de muitas máquinas utilizando processadores com esta filosofia, principalmente estações de trabalho de alto desempenho.

III - PCIR-MX

A arquitetura multiprocessador proposta é composta por n processadores PCIR-MX de 32 bits. Na figura 2 é apresentado um esquema simplificado da arquitetura. Cada processador possui uma memória cache associada e pode acessar uma memória comum aos processadores, através do barramento que permite também o acesso ao controlador de ENTRADA/SAÍDA.

Um ponto muito importante no desempenho do processador é a utilização de uma memória cache com a maior capacidade possível. Esta memória cache é dividida em duas partes: uma interna ao chip e outra externa. A memória cache interna deverá ser a maior possível, sendo que o seu tamanho dependerá da tecnologia de fabricação a ser utilizada. Cada microprocessador PCIR-MX terá uma parte controle implementada utilizando-se técnicas de pipeline. Resta ainda definir o número de níveis de pipeline a ser utilizado.

A implementação de cada microprocessador deverá ser efetuada utilizando-se uma tecnologia CMOS com dupla camada metálica. Na concepção de microprocessadores PCIR-MX deverão ser utilizadas ferramentas de software já desenvolvidas na UFRGS, assim como novas ferramentas para automação da concepção de circuitos VLSI, que estão em desenvolvimento.

IV - CONCLUSÃO

Não se pode pensar no desenvolvimento de uma informática nacional, sem termos uma capacitação brasileira na área de arquitetura de processadores. O desenvolvimento de arquiteturas RISC nos parece ser a melhor opção para a implementação de microprocessadores pois além de obtermos resultados de grande desempenho, são arquiteturas mais simples de serem implementadas do que as dos processadores CISC (Complex Instruction Set Computer). Neste sentido, o trabalho que vem sendo desenvolvido no PGCC desde 1983, na área de arquiteturas RISC, se dirige para o desenvolvimento de arquiteturas RISC multiprocessadores. É um trabalho que envolve um esforço significativo, tanto em recursos humanos, como em equipamentos. O trabalho delineado neste artigo se concentra no desenvolvimento da arquitetura multiprocessador e principalmente na implementação VLSI do microprocessador PCIR-MX. Resta ainda em aberto a questão do software básico a ser implementado sobre a arquitetura multiprocessador, como objetivo

de obtermos uma estação de trabalho de grande desempenho.

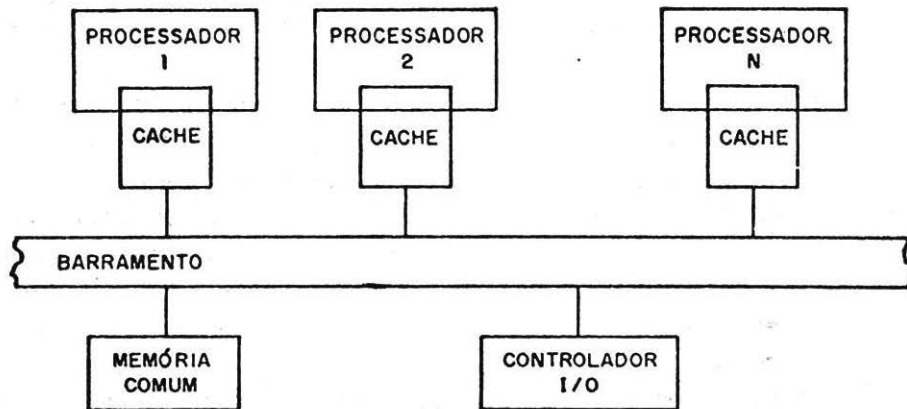


Fig 2: Esquema simplificado da arquitetura multiprocessador PCIR-MX.

REFERÊNCIAS:

- [PAT 82] PATTERSON,D; SEQUIN,C, "A VLSI RISC" , COMPUTER, VOL.15, Nº 09, September 1982, pp 8-21
- [PAT 85] PATTERSON,D. "Reduced Instruction Set Computers", Comm. ACM, Vol.28, Nº1, January 1985, pp. 8-21.
- [TRE 85] TRELEAVEN, P; MANSI,S: "VLSI ARCHITECTURE", Anais do II Simpósio Brasileiro de Concepção de Circuitos Integrados, 20-27 julho 1985, UFRGS, Porto Alegre. pp 290-309.
- [HEN 86] HENNESSY,J; HOROWITZ, M "AN OVERVIEW OF THE MIPS-X-MP PROJECT" Technical Report 86-300, Stanford , April 1986
- [PAT 86] PATTERSON,D e outros."DESIGN DECISIONS IN SPUR", IEEE COMPUTER, November 1986, pp 8-22.
- [TOD 86] TODESCO,A.R.W. "CONCEPÇÃO DE UM CIRCUITO INTEGRADO DO TIPO PROCESSADOR COM CONJUNTO DE INSTRUÇÕES REDUZIDO" Tese de mestrado, PGCC/UFRGS, maio 1986, Porto Alegre.
- [TOD 83] TODESCO,A.R.W; ZYSMAN,E. "ESPECIFICAÇÃO DE UM PROCESSADOR COM CONJUNTO DE INSTRUÇÕES REDUZIDO E ARQUITETURA DO SEU BLOCO OPERACIONAL". Anais do I Simpósio Brasileiro de Concepção de Circuitos Integrados, UFRGS, 7-11 de novembro de 1983, Porto Alegre, pp. 75-89.
- [ZYS 83] ZYSMAN,E; TODESCO,A.R.W. "ARQUITETURA DA PARTE DE CONTROLE DE UM PROCESSADOR COM CONJUNTO DE INSTRUÇÕES REDUZIDO", Anais do I Simpósio Brasileiro de Concepção de Circuitos Integrados, UFRGS, 7-11 de novembro de 1983, Porto Alegre, pp.91-112.
- [REI 80] REIS,R. "ETUDE DE L'ARCHITECTURE INTERNE DU MICROPROCESEUR Z8000". DISSERTAÇÃO DE D.E.A. Institut National Polytechnique de Grenoble, September 1980, 168pp.