

PROYECTO ARPAS

Computadora con arquitectura paralela de alta velocidad

Horacio Cingolani, Edgardo Ferrán, Armando Ferrero,
Juan J. Nicolás, Néstor Parga, Roberto Perazzo,
Silvia Reich, Alberto Ridner, Jorge Sinderman
Comisión Nacional de Energía Atómica, Av. del Libertador 8250
1429 - Buenos Aires, República Argentina

Resumen

Se describe el Proyecto ARPAS, que se ha comenzado recientemente en la República Argentina, con el objeto de construir una computadora con arquitectura paralela tipo SIMD.

Introducción

Se encuentra en desarrollo en la República Argentina, coordinado por la Comisión Nacional de Energía Atómica y con colaboración de otras instituciones, el Proyecto ARPAS, que tiene como meta diseñar y construir una computadora para realizar cálculos en paralelo del tipo SIMD. (ARPA).

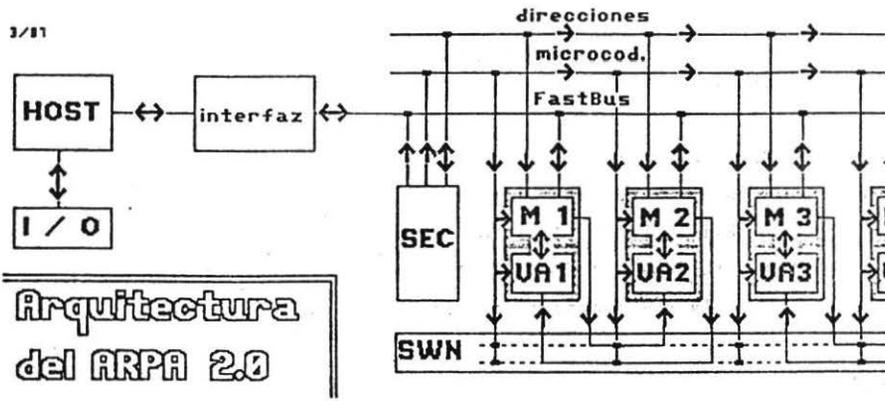
La arquitectura general, el diseño de las unidades aritméticas y el sistema de interconexión fueron optimizados para atacar la clase particular de problemas de física nuclear y del estado sólido, en los cuales es posible discretizar el espacio-tiempo y las interacciones son de corto alcance.

Se decidió construir y no comprar una máquina comercial porque se tiene la convicción de que el procesamiento paralelo marcará el rumbo en el futuro próximo de las nuevas arquitecturas de computadoras y algoritmos de cálculo; y por lo tanto resulta extremadamente importante desarrollar el conocimiento local y capacitar los recursos humanos en el diseño y desarrollo de hardware y software de sistemas paralelos.

Descripción de la arquitectura

El sistema trabaja conectado a un host a través de una interfaz. En el host residen los compiladores y se ejecutan las partes secuenciales del cálculo; y el mismo transfiere al ARPA los segmentos paralelizables.

Cada unidad de cálculo consta de una unidad aritmética y una memoria local montadas en la misma plaqueta.



Arquitectura del ARPA 2.0

La comunicación entre la interfaz, el secuenciador y las unidades de cálculo se realiza utilizando un bus de alta velocidad según la norma FastBus. (IEEE-960).

La red de conexión permite que cada unidad aritmética lea datos de las memorias "vecinas" para problemas de hasta 4 dimensiones.

Las unidades aritméticas tienen un sumador, un multiplicador y las memorias temporarias apropiadas para optimizar la operación $A * B + C$, donde A, B y C son números reales de 32 o 64 bits de punto flotante.

La utilización de los integrados Weitek WTL 2265-50 con dos niveles de pipeline permite que esta operación se realice con una velocidad pico de 40 Mflops para simple precisión y 20 Mflops para doble precisión. Los mismos integrados permiten realizar divisiones en punto flotante, sumas y restas de números entero y operaciones lógicas.

La memoria local de cada unidad aritmética tiene unos 4 Mb con palabras de 32 bits y 4 niveles de interleaving.

El secuenciador almacena el microcódigo y también realiza el cálculo de las direcciones.

Presupuesto y metas a corto plazo

En la primera fase del proyecto se piensa integrar 4 unidades procesadoras construidas por el método wirewrap a fin de probar y depurar el hardware y el software (fines de 1988). En este momento se está finalizando con el diseño conceptual y se adquirieron los primeros componentes.

Posteriormente se integrarán entre 16 y 32 unidades construidas en plaquetas multicapas.

El costo total del proyecto se estima en unos U\$S 600.000.- de los cuales la mitad corresponde al ARPA propiamente dicho y el resto a capacitación, viajes y equipamiento de laboratorios.