

Identificação Automática de *Dark Silicon* em Processadores Multicore

Ana Caroline Santos Silva¹, Tony Bignardi^{1,2}, Edilson Soares de Palma¹, Rafael Alves¹,
Clara Hayashi¹, Ricardo Santos¹

¹Laboratório de Sistemas Computacionais de Alto Desempenho
Faculdade de Computação – Universidade Federal do Mato Grosso do Sul (UFMS)
Campo Grande – MS – Brasil

²Instituto Federal de Mato Grosso do Sul (IFMS)
Coxim – MS – Brasil

{anacaroliness, tonybignardi, edilsonspalma, rafaalvesum, hbs.clara}@gmail.com

ricardo@facom.ufms.br

Abstract. *Currently, modern processor designs have reduced the chip area that can work on maximum clock frequency to sustain the performance levels according to the Moore's law. On this regime, the chip area which should stay on low frequency is named dark silicon. Since dark silicon is dependent on the technological process, modern processor designs should identify the dark silicon area to explore architectural resources to mitigate it. This work focuses on the dark silicon identification and area estimates by using a multicore design tool named MultiExplorer. We have evaluated the MultiExplorer dark silicon estimates from a set of Intel Pentium multicore processors built on transistors technologies from 90nm up to 22nm.*

Resumo. *Atualmente, os projetos de processadores modernos têm reduzido a área do chip que pode ser utilizada em frequência máxima de clock a fim de continuarem a evolução de desempenho conforme a lei de Moore. A porção de área que deve ser mantida em baixa frequência é denominada Dark Silicon. Como é uma situação dependente do processo tecnológico utilizado, é essencial que os projetos de processadores modernos considerem a identificação dessa porção de área a fim de explorarem alternativas para mitigá-la. Este trabalho propõe identificar e estimar o quantidade de Dark Silicon a partir da ferramenta MultiExplorer. Para avaliar essas estimativas, experimentos foram realizados em projetos de processadores multicore reais fabricados com diferentes processos tecnológicos (90nm-22nm).*

1. Introdução

Desde o advento dos computadores, a demanda pelo crescimento da capacidade de processamento sempre foi um fator dominante na indústria de dispositivos microeletrônicos, norteados pela Lei de Moore [Schaller 1997], a qual estimava que a capacidade de processamento dobraria a cada 18 meses. A necessidade por maior poder de processamento ainda é uma constante. Porém, desde o surgimento de restrições energéticas dos transistores, decorrente de sua miniaturização, o projeto de processadores modernos tem passado

por mudanças significativas. Um dos desafios prementes é o que se convencionou chamar de *Dark Silicon*, o qual se refere a área mínima do chip que deve ser mantida em baixa frequência em relação ao restante do *die*, visando manter as restrições de dissipação de potência [Nathan Goulding-Hotta 2011] do projeto. A presença de *dark silicon* em projetos de processadores está diretamente relacionado com o processo tecnológico de miniaturização em que, a partir de processos com 90nm, a corrente de fuga dos transistores aumenta significativamente e gera impactos sobre a potência dissipada do chip.

Diante deste novo cenário é fundamental, para manter a viabilidade econômica em várias gerações de tecnologia, que os projetos mitiguem eficazmente o desafio de *dark silicon*. Para isto, faz-se necessário, primeiramente, a identificação e mensuração de *dark silicon* em projetos de processadores modernos, para que, a partir de então, decisões possam ser tomadas, visando a utilização dessa área, sem no entanto, extrapolar as restrições físicas do projeto.

Desta maneira, o objetivo desta pesquisa consiste identificar e estimar *dark silicon* utilizando como referência projetos reais de processadores *Multicore*. Durante o processo de levantamento e pesquisa bibliográfica realizados no âmbito deste trabalho, não foram encontradas ferramentas ou técnicas automatizadas para estimar área de *dark silicon* conforme é aqui realizado. Ademais, não foram encontradas referências bibliográficas relatando estudos sobre estimativas de *dark silicon* em processadores reais.

Este trabalho definiu um conjunto de equações e análises para estimativa de *dark silicon* e implementou-as sobre uma ferramenta de modelagem e estimativas de projetos de MPSoCs (*Multiprocessors Systems on a Chip*) denominada MultiExplorer [Devigo et al. 2015]. Para identificar e mensurar a presença de *dark silicon*, a partir da ferramenta MultiExplorer, utilizou-se um conjunto de processadores reais, baseados na arquitetura Pentium, prototipados em diferentes processos tecnológicos (90nm-22nm).

Como resultado, pôde-se observar o nível de *dark silicon* presente nesses projetos reais. Além disso, discute-se a resiliência dos projetos reais de processadores, uma vez que na presença de *dark silicon* esses projetos lançaram mão de soluções para mitigar o problema de utilização do chip, ao mesmo tempo em que oferece soluções de processamento para seus usuários.

Tendo em vista o exposto, este trabalho está organizado conforme segue: a seção 2 apresenta a teoria envolvida com a identificação de *dark silicon*; a seção 3 apresenta a ferramenta MultiExplorer; a seção 4 apresenta o trabalho desenvolvido com a identificação de *dark silicon* em projetos de MPSoCs; a seção 5 expõe os experimentos realizados e resultados obtidos; por fim, na seção 6 a conclusão e sugestões de trabalhos futuros são apresentadas.

2. *Dark Silicon*

O advento dos transistores MOSFET, na década de 50, revolucionou o mercado de processadores, e preceitos, tais quais a Lei de Moore, ditaram a indústria nas décadas seguintes. Após a criação dos transistores MOSFET e com o advento da Lei de Moore houve um surpreendente crescimento da capacidade de processamento dos transistores de silício e chips.

Em 1965, Gordon Moore [Schaller 1997] expôs que o desenvolvimento da

indústria microeletrônica se daria através da integração dos circuitos eletrônicos e a miniaturização do sistema, e estimou, ainda, através de análise de curva de custos, que a quantidade de transistores em um chip dobraria a cada 18 meses. A estimativa de Moore só foi fundamentada na década seguinte, através da escala de integração de Dennard [Robert H. Dennard and Leblanc 1974] que, baseando-se no processo de miniaturização dos dispositivos, demonstrou o funcionamento do transistor MOSFET e como se comportam as variáveis de potência, tensão, capacitância, entre outras.

Os preceitos da Lei de Moore e a escala de Integração de Dennard conduziram a indústria de processadores nas últimas décadas, resultando em aumento de desempenho medrado exponencialmente. Não obstante a Lei de Moore manter seus preceitos até os dias atuais, é sabido que para projetos de processadores, com transistores abaixo de 90nm, a escala de integração de Dennard não pode ser aplicada, pois, ao contrário do que se estimava, transistores abaixo dessa escala apresentam comportamento divergente do previsto por ele.

A miniaturização dos transistores ainda é possível, porém, limites físicos, tais como o consumo energético e a dissipação de calor, restringem o projeto de processadores modernos, gerados principalmente pela corrente de fuga decorrente da miniaturização, este óbice é conhecido como *the utilization wall* (a barreira de utilização). A Figura 1 mostra o comportamento das propriedades do transistor, baseado no fator S , de acordo com a escala de Dennard na primeira coluna e de acordo com a escala limitada por corrente de fuga na segunda coluna [Nathan Goulding-Hotta 2011].

A variável S se refere ao fator de escala entre as gerações de transistores. Para mudança da tecnologia de 45nm para 32nm a escala S é definida por $\frac{45}{32} = 1,4$, portanto, $S = 1,4$. Tanto na escala de Dennard quanto na Pós-Dennard (transistores fabricados com processos a partir de 90nm) o número de transistores (Q) no *chip* escala em S^2 e a frequência (F) escala em S . Desse modo, com mais transistores operando a maiores frequências, o aumento geral no desempenho de computação será de S^3 . Considerando $S = 1,4$, o aumento geral de desempenho ($Q * F$) será de $2,8 \times$.

Propriedade do Transistor	Escala Clássica	Escala limitada pela corrente de fuga
ΔV_t (voltagem limiar)	1/S	1
ΔV_{DD} (voltagem fornecida) $\approx V_t \times 3$	1/S	1
Δ quantidade (Q)	S^2	S^2
Δ frequência (F)	S	S
Δ capacitância (C)	1/S	1/S
- Δ potência = $\Delta(QFCV_{DD})$	1	S^2
- Δ utilização = 1/potência	1	$1/S^2$

Figura 1. Comportamento do transistor de acordo com a escala de Dennard e com a escala limitada por corrente de fuga [Allred 2013].

A partir da integração dos transistores abaixo de 90nm, observou-se que em cada geração de novos transistores há um déficit de utilização de área acima do que previa a escala de Dennard. Essa limitação é chamada de *utilization wall* (barreira de utilização) e restringe a execução de todo o *chip* em frequência máxima. A barreira de utilização ocorre devido ao aumento do vazamento de corrente (*leakage*) entre os componentes do circuito.

Esse fator tem impedido a diminuição no limiar de tensão mínima (V_t) de operação dos transistores, aumentando assim exponencialmente a utilização de potência e a dissipação de calor [Venkatesh et al. 2010].

Para se manter um orçamento de energia estável, esses ganhos devem ser balanceados através da redução da energia necessária para o chaveamento dos transistores. Na escala de Dennard é possível reduzir o limiar de tensão mínima de operação em S^2 , igualando o aumento da eficiência energética ao aumento do desempenho (escala de potência dinâmica=1). Na escala Pós-Dennard não se pode reduzir o limiar de tensão sem aumentar exponencialmente o vazamento de corrente e a potência estática. Nesse caso, mantém-se a tensão de operação constante. O resultado disso é um déficit (aumento de potência) de S^2 a cada geração e a elevação da densidade de potência ($\frac{\text{Potência}}{\text{Área}}$) do chip.

De acordo com dados da indústria de semicondutores, a capacidade computacional de um chip de tamanho fixo continua aumentando numa escala de $2,8\times$ a cada processo de fabricação [Esmailzadeh et al. 2012]. A eficiência energética dos transistores melhora em $1,4\times$. Entretanto, como os projetistas devem manter um orçamento fixo em variáveis físicas como área e potência dissipada e diante do aumento exponencial da potência estática em tecnologias menores que 90nm, a melhora na capacidade computacional só pode ser explorada se a eficiência energética for equivalente.

Essa nova situação a ser considerada (balancear desempenho para manter orçamentos de área e dissipação de potência do projeto) modificou o projeto de processadores modernos. Como primeira alternativa para o aumento da capacidade de processamento, surgiram os processadores com múltiplos núcleos sobre um chip (MPSoC - *Multi-Processor System on a Chip*). Porém, mesmo com esta abordagem, a utilização da área do chip (*die*) continua limitada, resultando em áreas do circuito integrado que não podem ser utilizadas na mesma frequência máxima de operação, por excederem as restrições de dissipação de potência do chip: estas áreas são denominadas *dark silicon* [Hardavellas et al. 2011, Nathan Goulding-Hotta 2011]. Diante deste novo cenário, estima-se que áreas de *dark silicon* possam chegar a 75-85% em 8nm, em relação aos níveis de 45nm [Esmailzadeh et al. 2012, Borkar 1999, Borkar 2009] (Figura 2).

Percebe-se que mesmo com grandes frações de *dark silicon*, os projetistas têm preferido optar por esta abordagem, por ser menos onerosa em relação a potência e consumo de energia, o que impulsiona o surgimento de técnicas que propõem “gastar” área para “comprar” eficiência energética. Com isso, novas abordagens para a utilização do *dark silicon* têm sido estudadas e projetos conscientes de *dark silicon* tem ganhado espaço [Allred 2013].

Diante disto, um dos desafios, com as restrições apresentadas, é de identificar e estimar o percentual de *dark silicon* em um determinado projeto de processador, para que, então, soluções viáveis para mitigar o *dark silicon* sejam estudadas.

3. Ferramenta MultiExplorer

O MultiExplorer consiste em um ambiente em que o projetista de MPSoC pode definir, em alto nível, parâmetros e obter resultados de desempenho e estimativas de parâmetros físicos. Originalmente, esse ambiente foi desenvolvido baseado nas ferramentas MPSoCBench [Duenha et al. 2014] e McPAT [Li et al. 2009]. A ferramenta MPSoCBench,

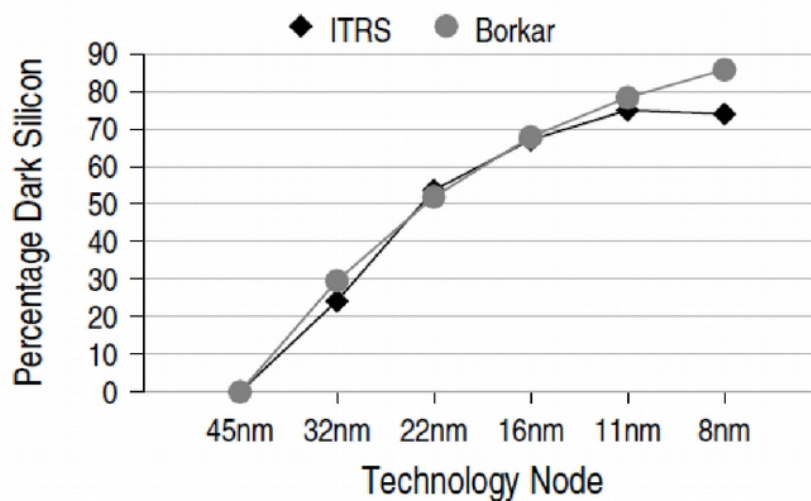


Figura 2. Níveis de *dark silicon* estimados com base em projeções de dimensionamento atual [Esmailzadeh et al. 2012].

utilizada como uma ferramenta de alto nível para projetos MPSoC, disponibiliza como dados de saída detalhes que poderão aumentar a precisão dos resultados da ferramenta McPAT, utilizada como uma ferramenta de baixo nível. O MPSoCBench possibilita a simulação funcional e exportação de parâmetros que poderão ser utilizados pelo McPAT para o cálculo de dados sobre o projeto físico da plataforma. A execução desse ambiente é realizada em 5 etapas:

1. Um arquivo *json* é utilizado para a descrição da plataforma alvo. Esse arquivo possui as informações:
 - Modelo do processador, conforme suporte oferecido pelo MPSocBench
 - Conjunto de instruções.
 - Quantidade de pipelines, processo de fabricação e tecnologia dos transistores, quantidade de estágios do pipeline entre outras informações.
2. Um *script* em Python recebe este arquivo como entrada, realiza o *parsing* e prepara os parâmetros para a execução do MPSoCBench.
3. Com a entrada preparada, o *script* executa o MPSoCBench e registra a saída em um arquivo contendo todas as instruções executadas durante a simulação.
4. A partir da saída um novo *script* é executado para compor a entrada para o McPAT com os resultados do MPSoCBench e parâmetros de configuração (área e frequência de *clock*) informados via a interface XML do McPAT.
5. Com o arquivo XML, o *script* executa o McPAT e armazena os dados em um arquivo.

Devido a limitações de suporte a processadores de arquitetura x86 e IA32, por parte da ferramenta MPSoCBench, utilizou-se, neste trabalho, a ferramenta Multi2Sim [Ubal et al. 2007, Ubal et al. 2012] para a geração da plataforma *multicore* em alto nível e geração de resultados de desempenho para o McPAT. Nesse sentido, estendeu-se o suporte de MultiExplorer para esta nova ferramenta, assim como o desenvolvimento de *scripts* para o acoplamento dos resultados de desempenho com as entradas para McPAT.

A Figura 3 mostra a sequência dos passos necessários para a simulação e estimativa de parâmetros físicos de projeto MPSoC utilizada no MultiExplorer. Na figura pode-se observar a descrição da plataforma e a geração do processador, a simulação no Multi2Sim e a geração dos relatórios de performance. Depois, a construção do novo arquivo (*parser*) a partir das saídas do Multi2Sim para a entrada no McPAT. Por fim, a geração dos relatórios de estimativa de área, frequência de clock e potência. Na Figura 3 também é exibida a representação dos *loops* para possibilitar a exploração do espaço de projeto a partir dos resultados gerados pelo McPAT e Multi2Sim. A exploração do espaço de projeto é utilizada para permitir que o ambiente realize a modelagem do MPSoC a partir das variáveis modeladas e das restrições impostas pelo projeto.

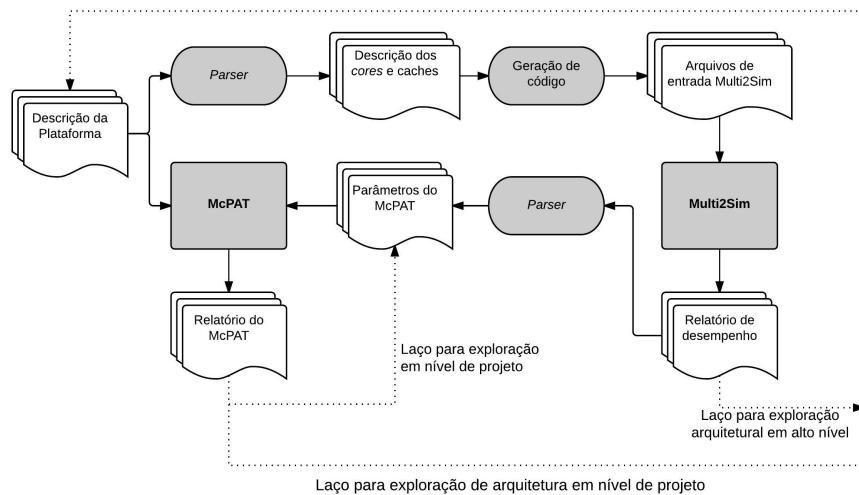


Figura 3. Fluxo para definição do projeto, simulação e estimativas de MPSoCs utilizando MultiExplorer.

4. Identificação de *Dark Silicon* em Projetos de Processadores *Multicore*

Diante do contexto de *dark silicon* em projetos de processadores com tecnologias abaixo de 90nm, da necessidade em identificar e analisar a existência dessa característica para tomada de decisões no projeto e da ausência de ferramentas de projetos que automatizem essa tarefa, este trabalho estendeu a ferramenta MultiExplorer para, a partir das estimativas de parâmetros físicos já disponibilizadas, identificar a densidade de potência e estimar a porcentagem (%) de *dark silicon* sobre a área do chip.

A abordagem adotada neste trabalho para a estimativa de *dark silicon* em projetos de processadores consiste em identificar a densidade de potência sobre um chip e compará-lo com a densidade de potência de um projeto de referência (processador projetado com tecnologia de 90nm). De fato, se há aumento da densidade de potência em projetos baseados nas mesmas características físicas e de desempenho, mas com diferentes processos tecnológicos, então, seguindo a escala Pós-Dennard, esse aumento deve-se ao aumento da corrente de fuga e, como consequência, do aumento da potência de fuga (potência estática) sobre o chip.

Para os cálculos realizados com base nos resultados do MultiExplorer, utiliza-se características de área e potência, conforme as equações a seguir:

1. Densidade de potência do chip: A densidade de potência foi obtida pelo fator da potência total (P_{total}) do *die* e da área do *die* (A_{die}), conforme Equação 1;

$$DP = \frac{P_{total}}{A_{die}} \quad (1)$$

2. Densidade de potência excedente: A densidade de potência excedente por mm^2 foi calculada usando a diferença entre a densidade de potência obtida com o projeto atual (DP_{atual}) (compreendidas entre os nós tecnológicos de 65nm a 22nm), com a densidade de potência desejada, com tecnologia de 90nm, livre de *dark silicon* (DP_{ref}), conforme Equação 2;

$$DP_{excedente} = DP_{atual} - DP_{ref} \quad (2)$$

3. Potência excedente total: Obtida pelo produto da densidade de potência excedente por mm^2 ($DP_{excedente}$) com a área do *die* (A_{die}), conforme Equação 3;

$$P_{ExcedenteTotal} = A_{die} \times DP_{excedente} \quad (3)$$

As Equações 1- 3 indicam o caminho a ser seguido para determinar a densidade de potência sobre um chip e, principalmente, se há potência excedente considerando um projeto de referência. Utilizar essas equações para representar uma área do chip que poderia ter redução de frequência visando reduzir a potência dissipada pelo circuito envolve ter um elemento fundamental que será usado como referência de área para a geração de *dark silicon*. O ideal é que esse elemento seja o próprio transistor uma vez que constitui-se no circuito fundamental no projeto de processadores. Entretanto, a ferramenta de estimativa de parâmetros físicos (McPAT) utilizada por MultiExplorer não informa a área de um transistor e nem o total de transistor sobre um chip. Assim, adotou-se como referência a área de uma ULA simples (de inteiros de 32 bits) para se estimar a área do chip em *dark silicon*. As Equações 4- 5 detalham como determinar a área de *dark silicon* considerando, como referência, apenas a área de uma ULA.

1. Quantidade de ULAs em *dark silicon*: Para estimar a quantidade de ULAs em *dark silicon* (N_{ULAs}) divide-se a potência excedente total ($P_{ExcedenteTotal}$) pela potência de uma ULA (P_{ULA}), conforme Equação 4;

$$N_{ULAs} = \frac{P_{ExcedenteTotal}}{P_{ULA}} \quad (4)$$

2. Área em *dark silicon*: Finalmente, para estimativa de área em *dark silicon* em cada projeto (DS), conforme Equação 5, calcula-se o produto do número de ULAs (N_{ULAs}) pela área de cada ULA (A_{ULA}).

$$DS = N_{ULAs} \times A_{ULA} \quad (5)$$

A partir da área em *dark silicon* é direto obter a porcentagem (%) da área do chip em *dark silicon*, uma vez que a ferramenta MultiExplorer informa essa estimativa diretamente em sua saída.

5. Experimentos e Resultados

Para este trabalho foram utilizados como parâmetros de entrada para o ambiente MultiExplorer as configurações dos processadores comerciais baseados na arquitetura PentiumTM, fabricados com diferentes processos tecnológicos. A escolha de projetos utilizando Pentium foi motivada pela existência de processadores reais baseados nessa arquitetura fabricados com tecnologias de 90nm até 22nm, permitindo assim uma análise comparativa de estimativas teóricas de *dark silicon* com os recursos existentes nesses processadores. O resumo de suas características são apresentadas na Tabela 1.

	Processador 1 Smithfield 820	Processador 2 Allendale E2140	Processador 3 Wolfdale E5200	Processador 4 Clarkdale G6950	Processador 5 Pentium G2010
Tecnologia (nm)	90	65	45	32	22
Área do <i>die</i> (mm ²)	206	77	82	81	94
Frequência (GHz)	2,8	1,6	2,5	2,8	2,8
Número de núcleos	2	2	2	2	2
Threads por núcleo	1	1	1	1	1
Caches	L1-2-16KB L2-2-1MB	L1-4-32KB L2-1-1MB	L1-4-32KB L2-2-2MB	L1-4-32KB L2-2-256KB L3-1-3MB	L1-4-32KB L2-2-256KB L3-1-3MB

Tabela 1. Configurações dos processadores avaliados.

Importante destacar que, de acordo com o fluxo de execução da ferramenta MultiExplorer, os parâmetros listados na Tabela 1 são incluídos na entrada dessa ferramenta e repassados para os módulos Multi2Sim e McPAT. Especificamente, a ferramenta McPAT também gera estimativas de área para o chip, núcleo de processamento de demais elementos de hardware. Logo, devido à dificuldade em modelar com acurácia todos os recursos existentes nesses processadores, a ferramenta McPAT gerará valores de área que podem destoar dos valores reais.

A Tabela 2 apresenta resultados de um experimento realizado tendo como referência apenas as características físicas e de desempenho do processador Pentium Smithfield 820. Considerando as características desse processador, estimou-se a porcentagem de *dark silicon* analisando a evolução em diferentes processos tecnológicos. Nota-se claramente o aumento da densidade de potência devido ao aumento da potência estática e, como consequência, o aumento da porcentagem de *dark silicon* variando entre 1,4% até 8,8% da área do chip.

Pentium D Smithfield 820					
Tecnologias	90nm	65nm	45nm	32nm	22nm
Área do <i>die</i>	277,2	149,919	67,5056	36,3003	18,4053
Potência dinâmica	141,5	78,455	40,3807	21,1419	10,7279
Potência de fuga	8,3	11,6615	9,37257	8,3485	3,95626
Densidade de potência	0,5	0,6	0,7	0,8	0,8
Percentual de <i>dark silicon</i>	-	1,4	4,8	7,6	8,8

Tabela 2. Estimativas de dissipação de potência e % de *dark silicon* sobre a área do chip (*die*) utilizando diferentes tecnologias sobre o processador Pentium Smithfield 820.

A Figura 4 exibe o gráfico comparativo das estimativas de *dark silicon* do ITRS (Figura 2) e os resultados obtidos nos experimentos utilizando o MultiExplorer simulando

as configurações do processador Pentium D Smithfield 820. Nota-se a diferença significativa entre as estimativas teóricas e as estimativas obtidas por MultiExplorer. Mesmo com a dificuldade em representar todos os parâmetros físicos do processador sob estudo, observa-se que as estimativas teóricas constituem-se em limites de pior caso para projetos de processadores reais. Esses limites de pior caso são difíceis de atingir uma vez que a organização arquitetural dos projetos de processadores influenciam sobremaneira na mitigação do *dark silicon*. Na Figura 4 verifica-se o aumento da diferença entre as estimativas teóricas e dos valores obtidos por MultiExplorer a partir de 32nm. Embora, devido às limitações da ferramenta de estimativas de parâmetros físicos McPAT, seja possível notar o aumento dessa diferença apenas entre os processos tecnológicos de 32nm e 22nm, argumenta-se que sob processos ainda menores, essa diferença de estimativas continuará a aumentar.

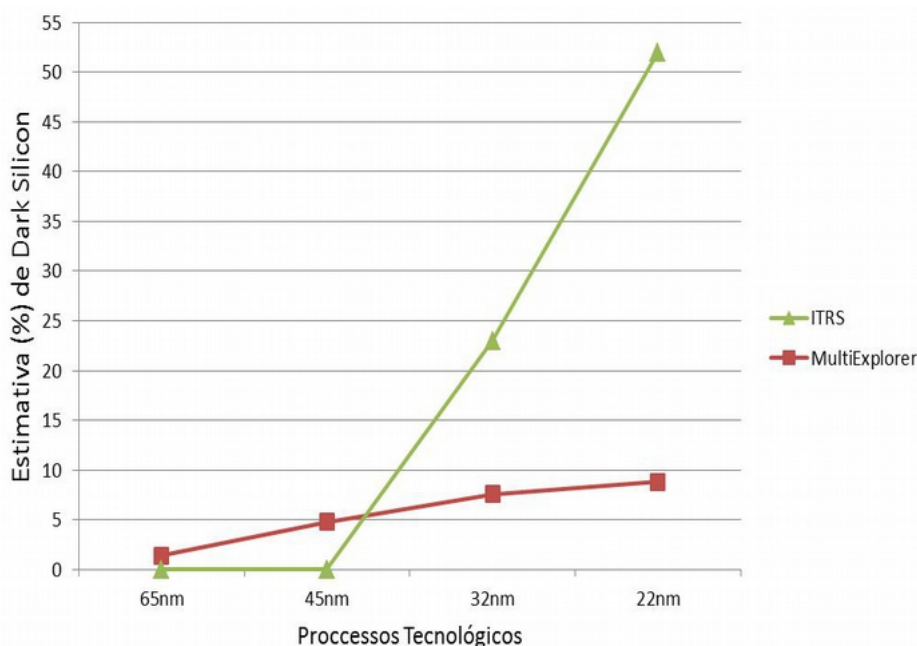


Figura 4. Estimativas de *dark silicon*: ITRS e MultiExplorer.

A Tabela 3 consiste no resultado de um experimento em que foi utilizado o processador Pentium Smithfield 820 em diferentes processos tecnológicos, mas com uma variação incremental da frequência pela escala S entre os processos de 90nm-32nm. O objetivo deste novo experimento é verificar se a variação da frequência e acordo com a escala de Dennard afeta a porcentagem de *dark silicon* sobre o chip. Nesse sentido, pode-se observar um aumento significativo da porção do chip que deve operar em baixa frequência (*dark silicon*) em relação aos valores apresentados na Tabela 2. O fato do aumento da frequência impactar no aumento do *dark silicon* revela uma possibilidade de mitigação para o projetista do processador. Com a manutenção ou mesmo a redução da frequência entre diferentes processos tecnológicos, pode-se reduzir a área de *dark silicon* sobre o chip.

A Tabela 4 exibe os resultados do mesmo experimento de estimativa de *dark silicon* mas agora considerando as características dos processadores apresentados na Tabela 1. Como há variação de diversos parâmetros entre os processadores através dos

Pentium D Smithfield 820 - Diferentes Frequências				
Tecnologias	90nm	65nm	45nm	32nm
Área do <i>die</i>	274,949	153,978	102,492	38,6472
Frequência (GHz)	2,8	3,9	5,4	7,6
Potência dinâmica	97,1124	106,522	79,747	57,0378
Potência de fuga	7,36536	11,7178	10,0181	8,62912
Densidade de potência	0,3830892	0,7767019	0,8824679	1,7178114
Percentual de <i>dark silicon</i>	-	6,0	6,65	15,54

Tabela 3. Estimativas de dissipação de potência e % de *dark silicon* sobre a área do chip (*die*) utilizando diferentes tecnologias e frequências para o processador Pentium Smithfield 820.

processos tecnológicos, nota-se, claramente, a mitigação de *dark silicon*. O percentual de *dark silicon* não segue as previsões ITRS e nem a escala de Borkar apresentados na Figura 2 em cada processo tecnológico. Esse resultado vai ao encontro da inclusão de estratégias junto aos projetos dos processadores para minimizar os efeitos do aumento da potência estática, da densidade de potência e, por fim, da porcentagem de *dark silicon*. Como exemplo dessas estratégias, pode-se observar:

- a redução da frequência de clock no processador 2 (Allendale 2140) em relação ao processador 1. Tal redução tem impacto direto na potência dinâmica e, como consequência, na potência total do chip.
- o aumento de área no processador 5 (Pentium G2010) em relação ao processador 4. O aumento da área repercute diretamente sobre a redução da densidade de potência do chip. Para o processador 5, observa-se na Tabela que a ferramenta MultiExplorer não identificou qualquer porcentagem de *dark silicon* em relação ao projeto de referência (Processador 1 - Smithfield 820).

Processadores	1	2	3	4	5
Tecnologias	90nm	65nm	45nm	32nm	22nm
Área do <i>die</i>	277,2	127,2	52,1	46,6	23,9
Potência dinâmica	141,5	54,1	42,2	37,3	11,6
Potência de fuga	8,3	24,3	20,5	7,3	0,8
Densidade de potência	0,5	0,6	1,2	0,9	0,5
Percentual de <i>dark silicon</i>	-	1,1	7,7	4,9	-

Tabela 4. Estimativas de dissipação de potência e % de *dark silicon* sobre a área do *die* utilizando diferentes tecnologias.

Um último experimento analisado foi verificar se há impacto significativo se considerarmos o cálculo da área de *dark silicon* sobre a área do núcleo ao invés da área do chip (*die*). De fato, a Tabela 5 demonstra isso ao apresentar valores de porcentagem de área de *dark silicon* maiores do que os apresentados na Tabela 4. A justificativa para esse aumento deve-se à compactação da área do núcleo de processamento em relação à área do chip. A exceção à esse comportamento ocorre com a modelagem do processador com 22nm uma vez que a ferramenta McPAT adota projetos de transistor de baixa dissipação potência nesse processo tecnológico.

Processadores	1	2	3	4	5
Tecnologias	90nm	65nm	45nm	32nm	22nm
Área total do <i>core</i>	250,8	60,4	32,8	22,1	13,1
Potência dinâmica	115,8	34,1	34,4	25,5	6,5
Potência de fuga	6,9	21,4	19	5,4	0,5
Densidade de potência	0,5	0,9	1,6	1,4	0,5
Área em <i>dark silicon</i>	-	3,9	4,4	2,5	0,2
Percentual de <i>dark silicon</i>	-	6,5	13,3	11,3	1,4

Tabela 5. Estimativas de dissipação de potência e % de *dark silicon* sobre a área dos cores utilizando diferentes tecnologias.

6. Conclusões e Trabalhos Futuros

Este trabalho apresentou uma estratégia para estimativa de *dark silicon* em projetos de processadores *multicore* a partir da ferramenta MultiExplorer. Nos experimentos realizados observou-se que mesmo em processadores reais, com diferenças de frequências, área e processos tecnológicos, a ferramenta identificou a presença de *dark silicon* de até 7,7% sobre a área do chip. Como a documentação desses processadores não informa qualquer restrição de área do chip, os recursos arquiteturais e estratégias de projeto adotados nesses processadores, visando balancear o desempenho e as restrições de projeto, contribuíram significativamente para mitigar *dark silicon* no produto final. Os experimentos realizados ainda mostraram que dada à limitação de dissipação de potência, a quantidade de *dark silicon* aumentaria significativamente se a evolução dos processadores adotasse apenas novos processos tecnológicos. Em um experimento envolvendo a evolução de processos tecnológicos sobre o processador Pentium Smithfield 820, obteve-se porções de *dark silicon* de até 8,8% sobre a área do chip.

Como trabalhos futuros vislumbra-se a implementação de novos algoritmos de exploração de espaço de projeto que possibilitam a determinação de recursos arquiteturais para utilizar a área *dark silicon* mantendo as restrições físicas e de desempenho do projeto.

Referências

- Allred, J. M. (2013). *Designing, optimizing, and sustaining heterogeneous chip multiprocessors to systematically exploit dark silicon*. PhD thesis, UTAH STATE UNIVERSITY.
- Borkar, S. (1999). Design challenges of technology scaling. *Micro, IEEE*, 19(4):23–29.
- Borkar, S. (2009). Design perspectives on 22nm cmos and beyond. In *Proceedings of the 46th Annual Design Automation Conference*, pages 93–94. ACM.
- Devigo, R., Duenha, L., Azevedo, R., and Santos, R. (2015). Multiexplorer: A tool set for multicore system-on-chip design exploration. In *Proceedings of the 26th International Conference on Application-specific, Systems, Architectures and Processors*. IEEE.
- Duenha, L., Guedes, M., Almeida, H., Boy, M., and Azevedo, R. (2014). Mpsocbench: A toolset for mpsoc system level evaluation. In *International Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation (SAMOS)*, pages 164–171. IEEE.

- Esmailzadeh, H., Blem, E., Amant, R. S., Sankaralingam, K., and Burger, D. (2012). Dark silicon and the end of multicore scaling. *IEEE Micro*, (3):122–134.
- Hardavellas, N., Ferdman, M., Falsafi, B., and Ailamaki, A. (2011). Toward dark silicon in servers. *IEEE Micro*, 31(EPFL-ARTICLE-168285):6–15.
- Li, S., Ahn, J. H., Strong, R. D., Brockman, J. B., Tullsen, D. M., and Jouppi, N. P. (2009). Mcpat: an integrated power, area, and timing modeling framework for multi-core and manycore architectures. In *Microarchitecture, 2009. MICRO-42. 42nd Annual IEEE/ACM International Symposium on*, pages 469–480. IEEE.
- Nathan Goulding-Hotta, Jack Sampson, G. V. S. G. J. A. P.-C. H. M. A. S. N. V. B. J. B. S. S. e. M. B. I. (2011). The greendroid mobile application processor: An architecture for silicon’s dark future. *IEEE Micro*, 31(2):86–95.
- Robert H. Dennard, Fritz H. Gaensslen, H. n. Y. V. L. R.-E. B. A. and Leblanc, R. (1974). Design of ion-implanted mosfets with very small physical dimensions. *IEEE Journal of Solid-Circuits*, pages 256–267.
- Schaller, R. R. (1997). Moore’s law: Paste, present and future. *IEEE Spectrum*, 34(6):52–59.
- Ubal, R., Jang, B., Mistry, P., Schaa, D., and Kaeli, D. (2012). Multi2sim: a simulation framework for cpu-gpu computing. In *Proceedings of the 21st international conference on Parallel architectures and compilation techniques*, pages 335–344. ACM.
- Ubal, R., Sahuquillo, J., Petit, S., and Lopez, P. (2007). Multi2sim: A simulation framework to evaluate multicore-multithreaded processors. In *International Symposium on Computer Architecture and High Performance Computing (SBAC-PAD)*, pages 62–68.
- Venkatesh, G., Sampson, J., Goulding, N., Garcia, S., Bryksin, V., Lugo-Martinez, J., Swanson, S., and Taylor, M. B. (2010). Conservation cores: reducing the energy of mature computations. In *ACM SIGARCH Computer Architecture News*, volume 38, pages 205–218. ACM.