

# Análise do Desempenho de uma Arquitetura Paralela de Processadores DSP para Reconstrução de Imagens Tomográficas com Diferentes Algoritmos de Comunicação Entre os Processos

Maurício Fernando Lima Pereira  
Instituto de Física de São Carlos - USP  
mauricioflp@if.sc.usp.br

José Hiroki Saito  
Departamento de Computação - UFSCar  
saito@dc.ufscar.br

Luciano da Fontoura Costa  
Instituto de Física de São Carlos - USP  
luciano@if.sc.usp.br

Paulo Estevão Cruvinel  
Embrapa Instrumentação Agropecuária  
cruvinel@cnpdia.embrapa.br

Edson Roberto Minatel  
Instituto de Física de São Carlos - USP  
minatel@if.sc.usp.br

Jorge Luiz e Silva  
Fundação Eurípedes Soares da Rocha  
jsilva@fundanet.br

## Resumo

*Este trabalho apresenta a análise de desempenho de uma arquitetura multiprocessadora composta de Processadores Digitais de Sinais (DSP) da Texas Instruments TMS320C40 operando sob diferentes algoritmos de comunicação entre processos. Esta arquitetura foi organizada para a reconstrução tridimensional de cortes tomográficos e testes foram realizados com dados obtidos de um minitomógrafo® de solos da Embrapa Instrumentação Agropecuária. Foram utilizados até 4 processadores TMS320C40 acoplados a módulos TIM-40 em uma placa HEPC2E. No desenvolvimento do software utilizou-se uma combinação das ferramentas Code Composer da Texas Instruments, da linguagem C Paralela da 3L e do Borland Builder C++. As tarefas de reconstrução 2D e 3D foram distribuídas entre os processadores e utilizou-se a memória cache dos processadores para diminuição das taxas de perda e aumento do poder de processamento e da velocidade do sistema. Também utilizou-se algoritmos de particionamento das matrizes de reconstrução para minimizar os custos de comunicação entre as tarefas alocadas nos diferentes processadores de modo a se obter melhor desempenho.*

## 1 Introdução

O primeiro tomógrafo comercial computadorizado de raios X foi apresentado em 1973 pela EMI Ltda [1], o que causou grande impacto, particularmente em aplicações mé-

dicas com diagnóstico não invasivo. Entretanto, esse instrumento foi antecedido por um número de experimentos e demonstrações menos sofisticadas. O embrião da tomografia reconstrutiva de raios X pode ser encontrado nos trabalhos de Takahashi [2]. Mas, uma importante e decisiva contribuição ao desenvolvimento da tomografia foi dada por Cormack [3], o qual desenvolveu a técnica matemática para reconstruir imagens utilizando um número finito de projeções. Durante seu trabalho no *Groote Schuur Hospital*, Cormack acompanhou tratamentos de radioterapia. Com base em experimentos e observações formulou uma matriz de coeficientes de atenuação para cortes seccionais que poderiam ser obtidos pela medida da transmissão de raios X em vários ângulos através de um corpo para obtenção de imagens dessas seções transversais. Desde então, o uso da tomografia de raios X computadorizada tem se diversificado e recentemente tem se encontrado trabalhos que a utilizam em outras aplicações [4, 5, 6, 7, 8].

Atualmente a necessidade de *hardware* específico nas aplicações de processamento de imagens tomográficas, que demandam alto poder de processamento, têm levado os pesquisadores ao longo dos anos a buscarem novas alternativas, dentre elas destacando-se os processadores digitais de sinais. Trabalhos nesse segmento vem sendo desenvolvidos há algum tempo, visando viabilizar aplicações de tempo real na área de reconstrução de imagens tomográficas e visão computacional [9, 10, 11, 12].

O desenvolvimento de melhores algoritmos paralelos requer uma metodologia de projeto que possibilite visualizar as tarefas existentes, como elas interagem entre si e como

podem ser alocadas nos elementos de processamento existentes na sua arquitetura paralela de forma que se maximize a localidade dos dados e se minimize o uso da rede de interconexão para comunicação entre as tarefas, em diferentes processadores. A metodologia de modelagem de sistemas paralelos apresentada por Foster em 2002 [13] busca gerar como resultado final, sistemas modelados independentes da arquitetura da máquina e pode ser muito bem aproveitada para a modelagem de sistemas de reconstrução tridimensional de imagens tomográficas. O modelo sugerido por Foster consiste em dividir a estrutura do projeto do software paralelo em 4 fases distintas denominada por PCAM dadas por: Particionamento, Comunicação, Aglomeração e Mapeamento. A partir dessa organização, pode-se ter uma melhor estrutura de organização das tarefas de forma a se obter melhor desempenho. A Figura 1 ilustra o processo de modelagem para um sistema genérico. Segundo essa metodologia, inicia-se com a especificação do problema, desenvolve-se o particionamento do problema em pequenas tarefas, determinando em seguida, quais são os requisitos de comunicação. Em seguida, aglomera-se essas tarefas e finalmente faz-se o mapeamento das tarefas aglomeradas para os processadores disponíveis na arquitetura.

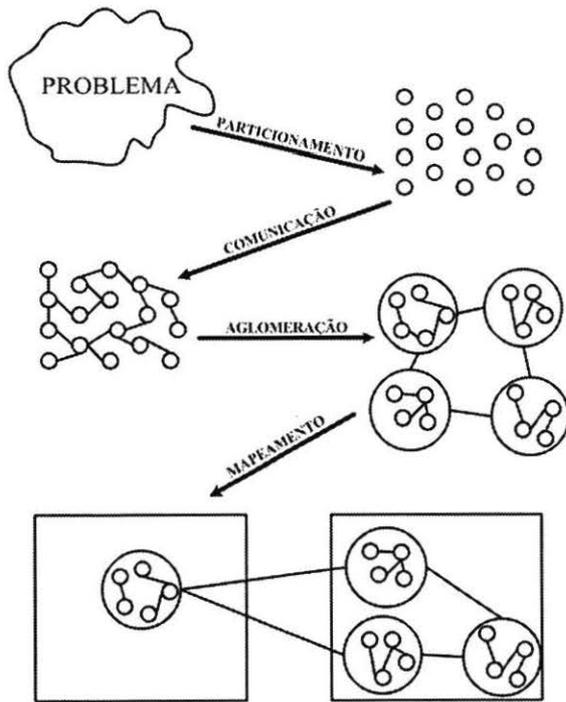


Figura 1. Metodologia PCAM [13] para desenvolvimento de programas paralelos

Nesse contexto, este trabalho fundamentou-se na busca de experiência com a utilização da plataforma paralela de DSPs C40 da Texas Instruments e de suas características

específicas, buscando uma diferente alternativa em relação às plataformas convencionais de um único processador para reconstrução de imagens tomográficas. O objetivo deste trabalho é a análise de desempenho para a diminuição do tempo de cálculo e geração de imagens tomográficas, tanto no tempo da reconstrução dos cortes quanto para o tempo de geração dos volumes que são obtidos através dos cortes reconstruídos com uma arquitetura paralela de processadores DSPs. São também apresentados os diferentes algoritmos de comunicação entre os processos como forma de se proporcionar um melhor uso da arquitetura paralela implementada. Adicionalmente foram implementadas ferramentas de processamento de imagens que permitem uma melhor visualização de detalhes e filtragem dos dados das projeções e das imagens reconstruídas, tais como Filtragem de Hamming, threshold e uso de pseudocores.

## 2 Materiais e métodos

Para realização deste trabalho, foram utilizadas amostras de solos, madeiras e phantoms que foram ensaiados no minitomógrafo<sup>®</sup> de raios X e  $\gamma$  instalado na Embrapa Instrumentação Agropecuária, com sede na cidade de São Carlos [14, 15]. O minitomógrafo<sup>®</sup> da Embrapa Instrumentação gera como resultados de suas varreduras tomográficas, arquivos texto em formato ASCII do tipo \*.dat, os quais contêm informações a respeito de um corte nas amostras ensaiadas, tais como energia ( $E$ ) utilizada, passo angular ( $\Delta\alpha$ ), passo linear ( $\Delta l$ ) e janelas das varreduras linear ( $L$ ) e angular ( $\omega$ ), conforme ilustra a Figura 2. As rotações variam com  $\Delta\alpha$  de modo que  $0^{\circ} \leq \Delta\alpha < 180^{\circ}$ .

Os arquivos gerados pelo minitomógrafo<sup>®</sup> da Embrapa são armazenados em disco para posterior processamento. Nas plataformas convencionais, esses arquivos são geralmente processados utilizando a CPU de um computador PC. Neste trabalho todos os cálculos necessários para se reconstruir os cortes tomográficos, as filtragens dos dados e a

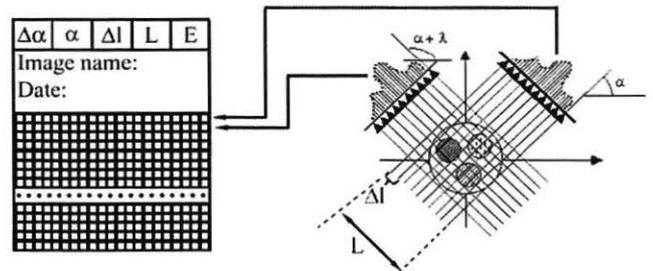


Figura 2. Ilustração da armazenagem dos dados dos cortes tomográficos no tomógrafo da Embrapa Instrumentação Agropecuária

interpolação dos planos na reconstrução tridimensional da amostra estão direcionados para serem processados na plataforma paralela de processadores DSP, deixando-se para a CPU do computador PC, computador *host*, apenas as tarefas de processamento da interface gráfica, comunicação com o processador *root* DSP para acesso ao disco rígido e a visualização das imagens bidimensionais e tridimensionais. A Figura 3, apresenta a estrutura da arquitetura DSP utilizada no desenvolvimento para otimizar o desempenho da reconstrução das imagens tomográficas.

Para este estudo, foram utilizadas configurações com 1, 2, 3 e 4 processadores com o objetivo de se analisar o desempenho do algoritmo paralelo em diferentes configurações e se fazer uma comparação com resultados obtidos em trabalho anterior [16, 17]. Dentro da plataforma DSP existe um processador responsável pelo gerenciamento dos programas carregados no *boot loader* da placa. Esse processador é denominado *root* sendo responsável também pela comunicação das tarefas de leitura/escrita com o processador *host* e também pelo envio de dados deste aos outros processadores DSP da arquitetura multiprocessadora.

A plataforma DSP tem seus processadores acoplados a placa HEPC2E que está conectada à placa-mãe do PC, através do barramento ISA (*Industrial Standard Architecture*). Isto possibilita a comunicação e troca de dados entre os processadores DSP e *host* através do *root*. Na prática, toda

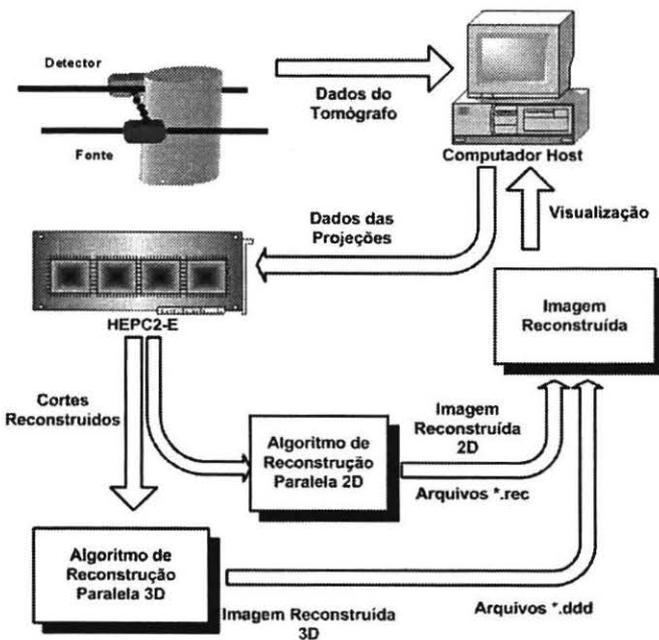


Figura 3. Ilustração da organização da arquitetura DSP com uma placa HEPC2E, com quatro processadores TMS320C40, acoplada a um computador PC

a comunicação fica transparente ao usuário, devido à utilização do aplicativo TIS fornecido pela 3L. Este aplicativo é responsável por determinar quais comandos devem ser enviados para os processadores DSP, tais como comandos para cálculos da reconstrução, e quais comandos devem ser enviados para o processador *host*, tais como comandos de escrita em disco ou de mensagens de texto para o usuário. A linguagem C Paralela possibilita a execução de chamadas ao sistema operacional Windows através de comandos em linguagem C. Com isso, o programador tem liberdade para trabalhar com a plataforma DSP e os recursos da plataforma convencional de forma semelhante a programação convencional para ambiente de PC. Foram utilizadas no desenvolvimento dos módulos de reconstrução paralela, as ferramentas Code Composer da Texas Instruments e o Borland Builder C++ 5.0, como ambiente de desenvolvimento de interface gráfica.

O algoritmo de reconstrução utilizado baseia-se no algoritmo de retroprojeção que tem como base o teorema das secções de Fourier e a transformada de Radon. O Teorema de Fourier para a secção tomográfica é a base das técnicas de reconstrução para a maioria dos algoritmos de reconstrução. Este teorema estabelece que a transformada de Fourier de uma projeção de uma imagem  $g(x, y)$  tomada de um ângulo  $\theta$  é equivalente para a fatia de uma transformada bidimensional de  $g(x, y)$ . Em outras palavras, a transformada de Fourier de  $P_\theta(t)$  fornece os valores de  $G(\omega_1, \omega_2)$ . Desenvolvendo-se o teorema das Secções de Fourier e utilizando uma filtragem em frequência das projeções obtém-se a forma da reconstrução filtrada retroprojetada. De modo a facilitar a visualização desse desenvolvimento, a reconstrução filtrada retroprojetada foi separada em duas equações diferentes. A primeira é a filtragem dos dados de projeção para cada ângulo, como se segue:

$$Q(t) = \int_{-\infty}^{\infty} S(\omega) |\omega| e^{j\omega t} d\omega \quad (1)$$

onde  $S(\omega)$  representa a transformada de Fourier das projeções convoluída com um filtro no domínio da frequência.

Depois as projeções filtradas são retroprojetadas para se obter a função objeto, dada por:

$$g(x, y) = \int_0^\pi Q_\theta(x \cos \theta + y \sin \theta) d\theta \quad (2)$$

onde  $g(x, y)$  a retroprojeção do pixel de coordenada  $(x, y)$  da imagem reconstruída.

De forma discretizada, a retroprojeção filtrada é representada pela equação

$$\bar{g}(x, y) = \frac{\pi}{N} \sum_{i=1}^N Q_\theta(x \cos \theta_i + y \sin \theta_i), \quad (3)$$

onde  $N$  ângulos  $\theta_i$  são os valores discretos de  $\theta$  para cada  $P_\theta(t)$  conhecido

## 2.1 Processadores Digitais de Sinais

Durante os últimos anos os processadores DSP tem sido muito utilizados em um variado conjunto de aplicações, que vão desde as mais tradicionais como aplicações na área de processamento de imagens e instrumentação médica, até na fabricação de dispositivos de armazenamento de massa, como drives de disco rígido, área de robótica [18] e no setor agrícola [17]. Atualmente, processadores DSP têm amplamente sido utilizados no setor de telecomunicações, em aparelhos celulares e handset, bem como em modem para acesso a Internet de banda larga de cable-modems e modems ADSL [19]. Esta ampla utilização de processadores em diversificadas áreas se reflete no crescimento do mercado de processadores DSP, conforme mostra a Figura 4.

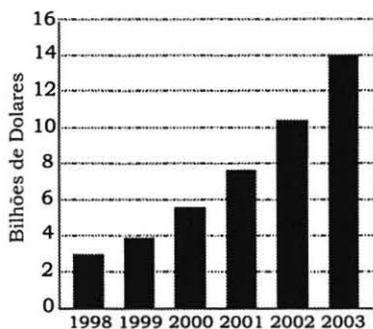


Figura 4. O tamanho do mercado de processadores DSP (fonte : Foward Concepts)

O largo uso de processadores DSP se deve a um conjunto de características presentes nos seus conceitos, que os diferenciam dos demais e o tornam muito superiores em tarefas especializadas que requerem uso de grandes quantidades de dados e de alto poder de processamento matemático. Além disso, deve-se levar em conta as constantes inovações tecnológicas que são incorporadas em sua arquitetura. Mais informações a respeito dessas características podem ser encontradas em [19, 20, 21]

### 2.1.1 O processador TMS320C40 da Texas Instruments

O TMS320C40 é um processador fabricado pela Texas Instruments e possui um alto poder de processamento sendo uma estrutura de hardware específica para o tratamento de sinais unidimensionais e imagens. Estas características constituem a principal motivação para o seu uso neste trabalho.

Dentre as principais características que o TMS320C40 possui, destacam-se:

- Seis portas de comunicação;
- Único ciclo para multiplicação de Ponto-Flutuante de 40 bits e Inteiros de 32 bits;
- Códigos fontes compatíveis com TMS320C30;
- 2Kbytes para Cache de Programa On-Chip e Duplo Acesso em único ciclo de memória RAM para incrementar o desempenho de acesso a memória;
- Espaço de endereçamento de 16 Gigabytes para programas/dados/periféricos;
- Possui barramentos com separação interna de programas, dados e co-processador DMA para suportar a concorrência massiva de E/S de programas e dados, maximizando o desempenho da Unidade Central de Processamento;
- Dois barramentos de dados e endereços idênticos para suportar o sistema de compartilhamento de memória e as altas taxas de dados.

Mais características a respeito do TMS320C40 podem ser encontradas em [22].

## 3 Resultados obtidos

De forma a facilitar a implementação da plataforma paralela de DSP e torná-la mais modular foram desenvolvidos cinco núcleos, mostrados na Figura 5, que permitem ao usuário do sistema o uso completo da arquitetura paralela de forma mais intuitiva e tornando transparente o uso da arquitetura de processadores DSP. Destes módulos, três foram desenvolvidos em C Paralelo e que são executados na arquitetura. Nestes três módulos tem-se respectivamente implementados, os algoritmos paralelos de reconstruções bidimensional e tridimensional, além da filtragem adaptativa Wavelets 2D. Adicionalmente, as filtragens de Hamming, Wavelets 1D e a aplicação do algoritmo de restauração do sinal [23] também estão implementados no módulo de reconstrução paralela bidimensional.

Na Figura 6 é apresentado o diagrama de fluxo seguido pela aplicação. Neste diagrama percebe-se que nos módulos paralelos são retiradas medidas de desempenho, com o qual se faz o estudo da eficiência e do speedup do sistema.

Os outros dois módulos dos cinco iniciais apresentados na Figura 5 foram desenvolvidos em ambiente Windows com uso da ferramenta Borland Builder C++ versão 5.0. Estes módulos são responsáveis pelo interfaceamento com os módulos de reconstrução, tornando a interface totalmente independente da forma como as reconstruções ocorrem. A interface gráfica permite a seleção das amostras que serão reconstruídas através dos algoritmos paralelos bidimensionais ou tridimensionais. Nestes aplicativos, pode-se fazer a visualização bidimensional e tridimensional, permitindo

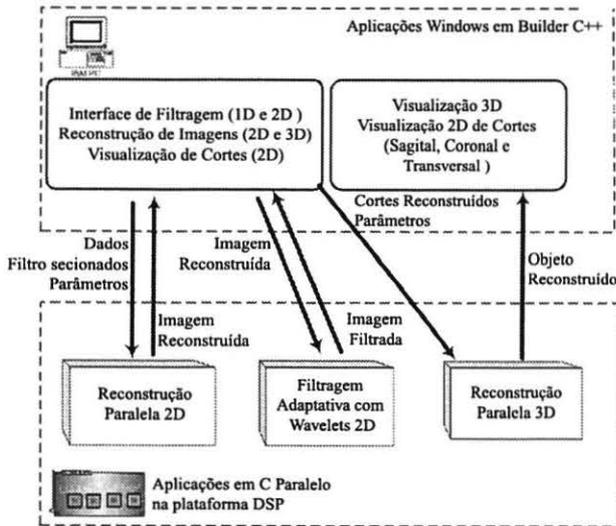


Figura 5. Ilustração do sistema de reconstrução, mostrando a comunicação entre aplicações desenvolvidas em C Paralelo e Borland Builder C++

selecionar regiões de interesse, uso de pseudocores ou tons de cinza para representação dos diferentes coeficientes de atenuação encontrados nas amostras. Além disso, pode-se também escolher parâmetros para filtragem, regiões de interesse para filtragem e para reconstrução tridimensional e também determinar a seqüência de planos reais e a quantidade de planos interpolados dentre cada par de planos reais de forma a aumentar a qualidade do objeto tridimensional reconstruído. Outro módulo desenvolvido foi uma interface que possibilita a navegação no objeto tridimensional. Adicionalmente no desenvolvimento dessa ferramenta se utilizou a biblioteca OpenGL para desenvolvimento de interface de visualização tridimensional. A interface desses dois módulos é apresentada na Figura 7.

A partir da implementação dos algoritmos paralelos em ambiente C Paralelo foram obtidos os primeiros resultados de sua aplicação em plataforma paralela de processadores DSP que foram inicialmente publicados em [16, 23]. A partir desses resultados pode-se concluir que o tempo demandado na tarefa de comunicação entre os processadores trabalhadores e a sobrecarga do processador Gerente são os dois grandes problemas que devem ser solucionados a fim de se obter melhores resultados. Para o processador gerente, o grande gargalo no processo, se deve ao fato de ele estar sendo estrangulado pela grande quantidade de demanda de requisições de envio e recebimento de dados pelos Trabalhadores que consegue finalizar seu trabalho muito rapidamente e logo voltam para requerer mais trabalho. Esse tipo de organização do algoritmo também faz um mau uso da rede de interconexão dos processadores. Assim foi possí-

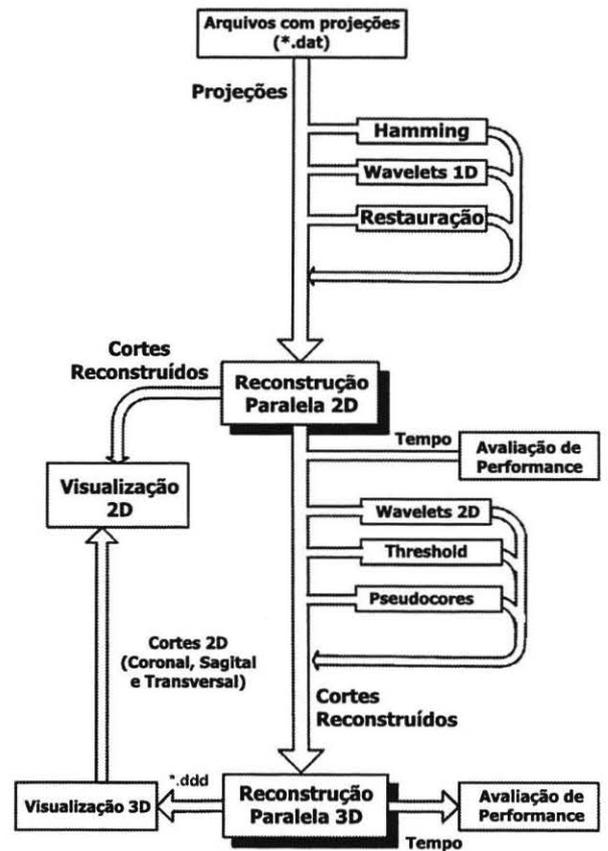
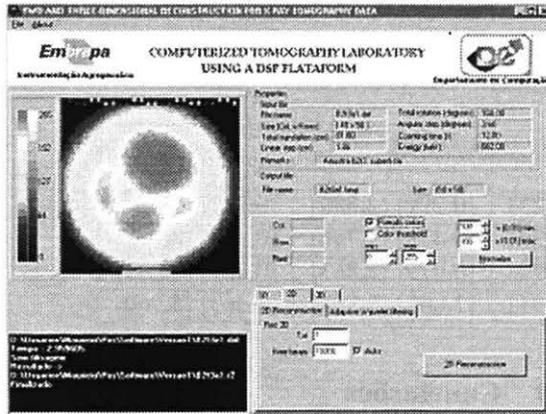
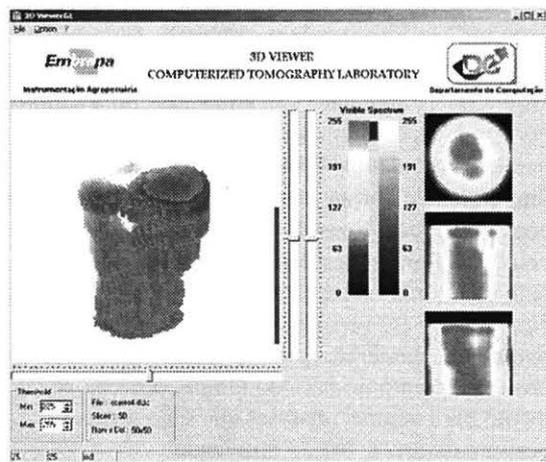


Figura 6. Diagrama de fluxo de dados do algoritmo de reconstrução bidimensional e tridimensional e de visualização bidimensional e tridimensional

vel se perceber que era necessário fazer algumas melhorias na implementação dos algoritmos de reconstrução paralelos que são executados nos Trabalhadores e também um melhor algoritmo de particionamento do problema entre essas tarefas, de forma a otimizar o seu uso e também da rede de comunicação existente entre os processadores. Com isso, neste trabalho foi proposto um novo algoritmo de comunicação que se baseava no envio de dados com granularidade mais grossa e que utiliza melhor o poder de processamento dos processadores Trabalhadores. No algoritmo antigo são enviados os dados de cada coluna no plano Z de uma determinada coordenada (x,y) para cada Trabalhador, tal qual ilustra a Figura 8. Ao término da interpolação da coluna de coordenada (x,y) o processador Trabalhador retorna com os resultados desta coluna e requer mais uma coluna para interpolar, caso haja alguma ainda disponível. Essa forma de organização acarreta um mau uso da rede de comunicação, uma vez que não aproveita toda a largura de banda e também sobrecarrega principalmente o processador Gerente com o grande número de requisições. No novo modelo de



(a)



(b)

Figura 7. Dois módulos desenvolvidos em ambiente Microsoft Windows® para interfaceamento com módulos paralelos de reconstrução 2D e 3D e para visualização (a) Módulo de interfaceamento de reconstrução 2D e 3D e visualização 2D (b) Módulo de visualização 3D

comunicação, uma carga de trabalho maior é fornecida para cada trabalhador, tal qual mostra a Figura 9. Com isso tem-se uma maior localidade dos dados nos processadores Trabalhadores e um menor número de requisições de trabalho para o Gerente, fazendo com que o custo de comunicação caia substancialmente. Dessa forma, Gerente e cada Trabalhador estabelecem apenas duas comunicações durante o processo de reconstrução. Uma primeira para determinar qual será a região que o trabalhador terá de reconstruir e uma segunda conversa entre os dois processadores para que o Gerente obtenha a resposta.

Para avaliação do desempenho da plataforma realizaram-se quatro diferentes configurações, com tamanhos de amos-

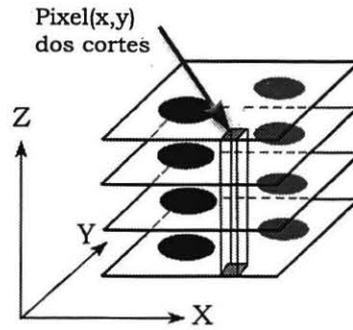


Figura 8. Forma de envio de dados para as tarefas Trabalhadoras pelo processador Gerente (Pereira et al. [16], Pereira [23])

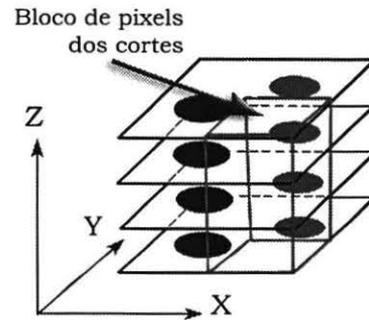


Figura 9. Ilustração do novo modelo de comunicação que fornece a cada trabalhador uma carga maior de trabalho

tras diferentes, com o número de planos reconstruídos praticamente iguais. Essas quatro configurações estão descritas na Tabela 1, mostrando os conjuntos de teste utilizados na avaliação de desempenho. Os primeiros resultados foram

Tabela 1. Tabela das diferentes configurações utilizadas para avaliação do desempenho da arquitetura paralela

Configuração	Tamanho da Amostra	Planos Reais	Planos Virtuais	Total de Planos
A	40x40	9	4	41
B	50x50	4	12	40
C	60x60	4	12	40
D	80x80	4	12	40

Tabela 2. Tempo da reconstrução tridimensional paralela, em segundos, nas diferentes configurações organizadas com número variado de processadores DSP e o respectivos ganhos obtidos, destacada em negrito.

Configuração	Número de Processadores DSP			
	1	2	3	4
A	[0,838] [ <b>1,000</b> ]	[0,435] [ <b>1,927</b> ]	[0,299] [ <b>2,800</b> ]	[0,227] [ <b>3,689</b> ]
B	[1,331] [ <b>1,000</b> ]	[0,692] [ <b>1,924</b> ]	[0,478] [ <b>2,786</b> ]	[0,353] [ <b>3,769</b> ]
C	[2,804] [ <b>1,000</b> ]	[1,419] [ <b>1,976</b> ]	[0,979] [ <b>2,863</b> ]	[0,729] [ <b>3,847</b> ]
D	[5,794] [ <b>1,000</b> ]	[2,910] [ <b>1,991</b> ]	[2,003] [ <b>2,892</b> ]	[1,463] [ <b>3,960</b> ]

obtidos em junho de 2001. Com o uso do novo modelo de comunicação foram obtidos melhores resultados principalmente devido ao fato de se diminuir o custo de comunicação entre os processadores e se fazer um melhor uso da arquitetura. Esses resultados são mostrados na Tabela 2.

Os tempos obtidos utilizando o novo algoritmo de comunicação e as melhorias no algoritmo de reconstrução forneceram melhores resultados que os algoritmos iniciais, uma vez que fazem um melhor uso do algoritmo da organização da arquitetura de memória do processador DSP e da arquitetura paralela dos processadores. Uma boa comparação do ganho obtido são apresentados nos gráficos das Figuras 10(a) e 10(b).

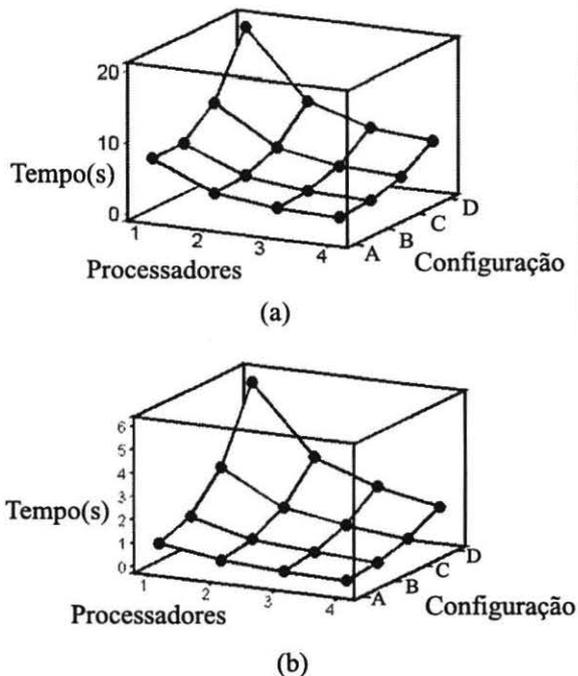


Figura 10. Gráficos de desempenho da arquitetura comparando-se processadores, configuração, tempo (a) Resultados obtidos em junho de 2001;(b)Resultados obtidos em março de 2003.

## 4 Conclusões

Conforme resultado apresentado na Figura 10 pode-se concluir que o ganho de desempenho foi substancial em relação ao tempo demandado nas diferentes configurações de arquitetura e tamanho das amostras. As melhorias nos algoritmos de comunicação e de reconstrução fizeram com que o tempo demandado no processo como um todo fosse diminuído de forma homogênea nas diferentes configurações estudadas, fazendo com que o impacto do ganho de velocidade no processo de reconstrução executado nos Trabalhadores não sobrecarregasse o processo Gerente. Adicionalmente foi verificado que as duas superfícies apresentam comportamentos semelhantes, mas ao observa-se o seu posicionamento no eixo do tempo, percebe-se um deslocamento para valores menores que 6 no processamento do algoritmo de reconstrução otimizado.

A análise do ganho do sistema, mostrada na Tabela 2, indicou que o algoritmo de comunicação e de reconstrução apresenta bons resultados nos diferentes números de processadores estudados nesta arquitetura paralela com DSPs.

Finalmente, as principais vantagens encontradas com o algoritmo otimizado são quanto ao ganho do sistema que se mantém próximo ao ideal, indicando que o grau de paralelismo na execução das tarefas é alto, contudo ainda podendo ser melhorado e que a arquitetura paralela de processadores DSPs mostra-se como uma boa alternativa para a redução do tempo de reconstrução tridimensional de imagens tomográficas.

## Agradecimentos

Os autores agradecem ao CNPq e à CAPES pelo suporte ao projeto.

## Referências

- [1] G. N. Hounsfield. Computerized transverse axial scanning (tomography) i: description of systems. *Brit J Radio*, 46:1016–1022, 1973.

- [2] S. Takahashi. Rotation radiography. *Japan Society of Promotion of Science*, 1957.
- [3] A. M. Cormack. Representation of a foundation by its line with some radiological application. *App. Phys*, 34(9):2722–2727, 1963.
- [4] A. M. Petrovic, J.E. Siebert, and P. E. Rieke. Soil bulk analysis in three-dimensions by computed tomographic scanning. *Soil Science Soc. Am.*, 46:445–450, 1982.
- [5] J. M. Hainsworth and L.A.G. Aylmore. The use of the computed-assisted tomography to determine spatial distribution of soil water content. *Aust. Journal Soil Res*, 21(4):435–443, 1983.
- [6] S. Crestana. *A Tomografia Computadorizada com um novo método para estudos da física da água no solo*. Física, USP, São Carlos, 1986.
- [7] A. Macedo, C.M.P. Vaz, J.C.D Pereira, J.M. Naime, P.E. Cruvinel, and S. Crestana. Wood density determination by x-and gamma-ray tomography. *International Journal of the Biology, Chemistry, Physics and Technology of Wood*, 56:535–540, 2002.
- [8] P. E. Cruvinel, J. M. Naime, M. Borges, A. Macedo, and A. Zhang. Beetle damage detection in forests by ct image processing. In-press.
- [9] K. Rajan, L. M. Patnaik, and J. Ramakrishna. Linear array implementation of the em algorithm for pet image reconstruction. *Transaction on Nuclear Science*, 42(4):1439–1444, 1995. IEEE.
- [10] P. E. Cruvinel and S. Crestana. The use of a tms320c40 in a x and gamma rays computerized minitomography scanners (mct) dedicated to agriculture. In *Sixth International Conference on TMS320*, Houston, Texas, 1996.
- [11] N. D. A. Mascarenhas, P. E. Cruvinel, and S. S. L. Santos. The use of digital signal processor (dsp) in computerized tomography for soil science and an example of application. In *Anais do Workshop Brasileiro de Arquiteturas Alternativas Usando DSPs*, pages 99–108, São Carlos, 1996.
- [12] R. S. Rosa, H. S. Swant, and J. H. Saito. Tomografia espectral solar utilizando dsps em arquitetura paralela. In *Anais do Workshop Brasileiro de Arquiteturas Alternativas Usando DSPs*, pages 47–56, São Carlos, 1996.
- [13] I. Foster. Designing and building parallel programs. disponível on-line em <http://www-unix.mcs.anl.gov/dbpp>, Setembro 2002.
- [14] P. E. Cruvinel. *Minitomógrafo de Raios-X e Raios- $\gamma$  computadorizado para aplicações multidisciplinares*. Engenharia elétrica, UNICAMP, Campinas, 1987.
- [15] P. E. Cruvinel, R. Cesareo, S. Crestana, and S. Mascarenhas. X-and  $\gamma$ -rays computerized minitomograph scanner for soil science. *Transactions on Instrumentation and Measurement*, 39(5):745–750, 1990. IEEE.
- [16] M. F. L. Pereira, P. E. Cruvinel, and J. H. Saito. Uso de uma arquitetura dsp para otimizar o desempenho da reconstrução de imagens tomográficas com wavelets. In *Anais do II Workshop em Sistemas Computacionais de Alto Desempenho (WSCAD)*, pages 119–126, Pirenópolis, 2001.
- [17] M. F. L. Pereira, L. V. Koenigkan, and P. E. Cruvinel. Parallel dsp architecture for reconstruction of tomographic images using wavelets techniques. In *Proceedings of XIV Brazilian Symposium on Computer Graphics and Image Processing (SIBGRAPI)*, page 384, Florianópolis, 2001.
- [18] J. Okamoto Jr. and T. M. Sasaki. Utilização de processadores digitais de sinais na implementação de sistemas de controle de robôs. In *Jornada Ibero-Americana de Robótica*, pages 1–6, Antígua, 1998.
- [19] G. Frantz. Digital signal processor trend. *IEEE Micro*, 20(6):52–59, 2000.
- [20] P. Lapsley, J. Bier, A. Shoham, and E. A. Lee. *DSP Processor Fundamentals: Architectures and Features*. Wiley-IEEE Press, 1996.
- [21] S. S. Magar, E. R. Caudel, and A. W. Leigh. A micro-computer with digital signal processing capability. In IEEE, editor, *Proc. International, Solid States Circuits Conf. (ISSCC)*, pages 32–33, Piscataway, N. J., 1982.
- [22] Texas Instruments. *TMS320C40 Data Sheet*, 1996.
- [23] M. F. L. Pereira. Algoritmo paralelo para reconstrução de imagens tomográficas de amostras agrícolas em arquitetura dsp com técnicas wavelets. Computação, UFSCar, São Carlos, 2001.