

Análise da Eficiência de Compressão do Codificador HEVC Embarcado no Smartphone Samsung Galaxy S23 Plus

Vítor Costa

vscosta@inf.ufpel.edu.br

Universidade Federal de Pelotas
Pelotas, Rio Grande do Sul, Brasil

Luciano Agostini

agostini@inf.ufpel.edu.br

Universidade Federal de Pelotas
Pelotas, Rio Grande do Sul, Brasil

Murilo Perleberg

mrperleberg@inf.ufpel.edu.br

Universidade Federal de Pelotas
Pelotas, Rio Grande do Sul, Brasil

Marcelo Porto

porto@inf.ufpel.edu.br

Universidade Federal de Pelotas
Pelotas, Rio Grande do Sul, Brasil

ABSTRACT

The consumption of video content on mobile devices is becoming increasingly integrated into people's daily routines. The intensive transmission of video between devices requires smartphones to include dedicated embedded hardware capable of performing real-time video encoding and decoding. Due to the high computational demands of the video encoding process, dedicated hardware designs must implement various resource-constraining strategies to reduce computational complexity. These constraints inevitably impact the rate-distortion performance, leading to a loss in coding efficiency. This study aims to analyze the constraints and their effects on the coding efficiency of the Qualcomm Snapdragon 8 Gen 2 chipset, embedded in the Samsung Galaxy S23 Plus smartphone. The results of this work can help hardware designers assess whether the coding efficiency losses introduced by their solutions align with those observed in commercial video encoders.

KEYWORDS

Codificação de vídeo, HEVC, dispositivos móveis, emulação em software

1 INTRODUÇÃO

Atualmente, o consumo de vídeo encontra-se em constante ascensão, atingindo cerca de 82% de todo o tráfego global na internet [9]. Conteúdos em vídeo demandam grande quantidade de dados para serem representados e transmitidos aos usuários, exigindo a aplicação de processos de codificação e decodificação de vídeo. No entanto, o processo de codificação de vídeo é extremamente complexo e computacionalmente custoso, requerendo do codificador, uma quantidade significativa de energia para alcançar uma compressão de vídeo de alta eficiência em tempo real. Dessa forma, dispositivos móveis precisam incorporar hardware dedicado para lidar com os processos de codificação e decodificação de vídeo. Sendo assim, projetistas de hardware devem considerar as limitações físicas impostas por esses projetos, tais como dissipação térmica, consumo de energia, tempo de processamento, acesso à memória e restrições de área do chip. Portanto, codificadores e decodificadores

de vídeo presentes em diversos dispositivos multimídia do cotidiano devem adotar restrições e estratégias hardware-friendly, visando à usabilidade prática da aplicação.

O High Efficiency Video Coding (HEVC), lançado em 2013 pelo Joint Collaborative Team on Video Coding (JCT-VC) [17], é o principal padrão para codificação e decodificação de vídeo em dispositivos multimídia. Segundo [3], o HEVC apresentou um crescimento de 34% e 28% na codificação de vídeos ao vivo e vídeos sob demanda, respectivamente, em 2023. O HEVC é o padrão de codificação estado da arte embarcado em chipsets multimídia móveis de alto desempenho [3, 30].

Diversos trabalhos na literatura propuseram soluções de hardware eficientes para diferentes etapas do codificador HEVC. No entanto, devido às estratégias de redução de complexidade empregadas em cada um desses trabalhos, podem ser observadas perdas na eficiência de compressão, usualmente mensuradas pela métrica Bjontegaard Delta Rate (BD-Rate) [4]. Até o momento, não há um intervalo de tolerância predefinido para aumentos no BD-Rate, o que torna desafiadora a avaliação da qualidade geral de um trabalho com base exclusivamente nessa métrica. Além disso, o intervalo de BD-Rate em que operam os codificadores de vídeo embarcados em chipsets móveis amplamente utilizados é desconhecido, principalmente porque as empresas fabricantes não divulgam quais são as restrições em seus codificadores. Logo, a eficiência dos codificadores de vídeo comerciais presentes em chipsets de smartphones não está disponível para servir como base comparativa para novas soluções e projetos de hardware.

Este artigo apresenta uma análise da eficiência de compressão da implementação em hardware dedicado do codificador HEVC integrado ao chipset Qualcomm Snapdragon 8 Gen 2 [28], presente no smartphone Samsung Galaxy S23 Plus [29]. O artigo descreve as restrições de codificação de vídeo empregadas no chipset selecionado, apresentando o impacto em termos de BD-Rate dessas restrições por meio da utilização do software de referência do HEVC; o HEVC Test Model versão 18.0 (HM) [33].

A escolha desse chipset específico, presente neste smartphone, se deve ao fato de ele ser fabricado por uma empresa diferente daquela analisada no trabalho anterior [11], o qual avaliou as restrições e a degradação na eficiência de compressão do Apple A15 Bionic, disponível no iPhone 13 [2]. Dessa forma, torna-se possível analisar se o conjunto de restrições adotado por diferentes fabricantes é semelhante e, além disso, realizar uma comparação para identificar

In: Proceedings of the Brazilian Symposium on Multimedia and the Web (WebMedia'2025). Rio de Janeiro, Brazil. Porto Alegre: Brazilian Computer Society, 2025.

© 2025 SBC – Brazilian Computing Society.

ISSN 2966-2753

qual fabricante atinge melhor eficiência de compressão, medida pelas menores métricas de BD-Rate obtidas.

2 BACKGROUND DO HEVC

O JCT-VC definiu uma implementação de software modelo do codificador e decodificador HEVC, denominada software HM [33]. O HM emprega as técnicas e ferramentas mais avançadas suportadas pelo padrão HEVC. Consequentemente, a implementação do HEVC fornecida pelo software HM é altamente irrealista para ser incorporada em aplicações comerciais devido ao seu custo computacional muito elevado. Em resumo, o HM sempre busca a máxima eficiência de compressão, sem preocupação com a complexidade, processamento em tempo real, consumo de energia ou qualquer outro fator relacionado às aplicações práticas. Mesmo irrealista, o HM é uma excelente referência para experimentos de pesquisa, pois pode estabelecer os resultados ótimos de eficiência de compressão do HEVC.

O software HM é altamente configurável, permitindo a customização de seu comportamento por meio da modificação dos parâmetros associados ao processo de codificação [33]. Para esse propósito, o HM contém arquivos de configuração que implementam diversos perfis predefinidos, tais como Random-Access (RA) e Low-Delay-P (LDP) [33]. Esses perfis afetam principalmente a estrutura na qual os quadros de vídeo são codificados, assim como as ferramentas e heurísticas que serão habilitadas ou desabilitadas durante o processo de codificação. Tanto nos perfis RA e LDP, os quadros são codificados em um Group of Pictures (GOP)[33].

No perfil RA, os quadros de um GOP são codificados fora da ordem cronológica de captura, permitindo que quadros anteriores e posteriores (ao quadro sendo codificado) sejam utilizados como quadros de referência. Por outro lado, no perfil LDP, os quadros de cada GOP são codificados na ordem cronológica de captura [33], de modo que somente os quadros anteriores ao quadro a ser codificado podem ser usados como referência.

2.1 Particionamento de blocos no HEVC

No padrão HEVC, os quadros são divididos em blocos quadrados chamados Coding Tree Units (CTU) que, por padrão, possuem tamanho máximo de 64x64 amostras. Cada CTU pode ser recursivamente subdividida em unidades menores chamadas de Prediction Units (PU) [34]. As PUs são as unidades processadas pelas ferramentas de predição inter-quadros e intra-quadro no HEVC.

As PUs podem ser classificadas de acordo com a forma resultante, que pode ser quadrada (64x64, 32x32, 16x16, 8x8 e 4x4), simétrica (64x32, 32x64, 32x16, 16x32, 16x8, 8x16, 8x4 e 4x8), ou até mesmo assimétrica por meio da Asymmetric Motion Partition (AMP) (64x16, 64x48, 16x64, 48x64, 32x8, 32x24, 8x32, 24x32, 16x4, 16x12, 4x16 e 12x16) [34].

2.2 Predição inter-quadros no HEVC

A predição inter-quadros explora as redundâncias temporais entre o quadro sendo codificado e um ou mais quadros de referência já codificados [17, 34]. A etapa principal do processo de predição inter-quadros é a Motion Estimation (ME). Durante a ME, o codificador HEVC avalia, para cada PU, o Candidate Block (CB) mais semelhante presente nos quadros de referência [17, 34]. Uma vez encontrado o melhor CB, um Motion Vector (MV) é traçado para representar o

deslocamento da PU codificada até o melhor CB encontrado [17]. Como o processo de ME deve ser executado para todas as PUs oriundas do particionamento de bloco, a predição inter-quadros é uma tarefa extremamente custosa computacionalmente.

O software HM já emprega estratégias para reduzir a complexidade da ME, como o uso de uma Search Area (SA) limitada dentro do quadro de referência, cujo tamanho é delimitado pelo parâmetro Search Range (SR) e o uso de preditores para guiar o início da busca [16]. Contudo, mesmo com essas estratégias, uma análise realizada utilizando o HM 16.3 mostrou que 45% do tempo total de codificação ainda é gasto no processo de ME [13]. Essa análise de complexidade demonstra que codificadores HEVC em tempo real devem implementar simplificações ainda mais expressivas para viabilizar o processo de ME em tempo real.

2.3 Predição intra-quadro no HEVC

A predição intra-quadro explora as redundâncias espaciais derivadas de amostras vizinhas semelhantes dentro de um mesmo quadro [17, 34]. O padrão HEVC possui 35 modos de predição intra-quadro: planar, DC e 33 modos angulares [17]. Cada um desses modos interpola as amostras do bloco vizinho de maneira diferente. O modo planar envolve realizar a predição para cada amostra dentro da PU usando uma média ponderada das amostras do bloco vizinho, onde o peso utilizado no cálculo da média varia conforme a posição da amostra dentro da PU. Já o modo DC é uma média simples dos valores de todas as amostras imediatamente vizinhas da PU. Por fim, os 33 modos angulares deslocam as amostras do bloco vizinho por diferentes ângulos, conforme o modo angular selecionado, por meio de um processo de interpolação.

3 CARACTERIZAÇÃO DAS RESTRIÇÕES PRESENTES NO CHIPSET QUALCOMM SNAPDRAGON 8 GEN 2

O primeiro passo para a obtenção do conjunto de restrições implementadas pelo chipset Qualcomm Snapdragon 8 Gen 2 consistiu na captura de oito vídeos utilizando o smartphone Samsung Galaxy S23 Plus. O smartphone suporta gravação de vídeos em resoluções UHD 4K (3840x2160 pixels) e FHD (1920x1080 pixels), nas taxas de quadros de 30 e 60 quadros por segundo (fps). Portanto, dois vídeos foram capturados para cada par de resolução e taxa de quadros indicados, na intenção de se detectarem restrições específicas vinculadas a resolução ou taxa de quadros. Todos vídeos possuem profundidade de cor de oito bits e foram capturados com a funcionalidade High Dynamic Range (HDR) desabilitada. Todos os vídeos capturados por este estudo podem ser encontrados em [35].

De posse dos arquivos contêineres MP4 gerados pelo smartphone, foi utilizado o software FFmpeg [12] para extraír a bitstream de vídeo de cada um dos arquivos. Em seguida, empregou-se o analisador de bitstreams HEVC Zond 265 [19] para a análise do cabeçalho das bitstreams. Logo, diversas restrições foram identificadas a partir da análise do cabeçalho da bitstream. Restrições encontradas no cabeçalho incluem: tamanho de CTU, tamanho do GOP, estrutura do GOP, número máximo de quadros de referência suportados, suporte a bi-predição e período intra.

A fim de se realizar uma análise mais profunda a respeito de restrições atreladas ao processo de predição inter-quadros e intra-quadro, foi utilizado uma versão do decodificador contido no software HM versão 18.0. O código-fonte do decodificador foi modificado para que, durante o processo de decodificação, fosse impresso valores relacionados a: tamanho máximo e mínimo dos MVs suportados pelo chipset; tamanho das PUs compatíveis com a predição inter-quadros; precisão centesimal em bits empregada na Fractional Motion Estimation (FME); e os modos de predição intra-quadro disponíveis para cada tamanho de PU suportado pelo chipset.

O conjunto de restrições observadas no chipset Qualcomm Snapdragon 8 Gen 2 está apresentado na Tabela 1. A Tabela 1 também exibe as características do software HM baseline no perfil LDP. Além disso, a Tabela 1, também exibe o conjunto de restrições encontradas para o chipset Apple A15 Bionic, no trabalho relacionado [11]. Os resultados apresentados na Tabela 1 permitem comparar as restrições identificadas no chipset analisado com aquelas contidas no software de referência do HM com perfil LDP, bem como com as restrições de outro chipset embarcado em smartphones de última geração, pertencente a uma linha de fabricante distinta (Apple A15 Bionic).

Observando as restrições apresentadas pela Tabela 1, como tamanho de GOP, estrutura de GOP, número de quadros de referência e suporte a bi-predição, pode-se afirmar que o chipset Qualcomm Snapdragon 8 Gen 2 apresenta severas restrições em comparação com a solução LDP do software HM. Limitações desta natureza empregadas pelo chipset, demonstram uma preocupação com tamanho e largura de banda da memória interna do smartphone, pois reduzem drasticamente os quadros a serem armazenados em um GOP. Além disso, com a redução do número de quadros de referência para a apenas 1, consequentemente não utilizando qualquer técnica de bi-predição, o Qualcomm Snapdragon 8 Gen 2 consegue simplificar enormemente a complexidade da etapa de ME, pois apenas um melhor CB precisa ser encontrado para cada PU estimada, reduzindo significativamente o número de avaliações realizadas na ME.

Reduções no tamanho de CTU, limitações em PUs inter e intra, falta de suporte ao AMP e principalmente uma redução expressiva no SR em comparação ao HM LDP, indicam simplificações no processo de ME do chipset, voltadas para redução do tempo de codificação. O algoritmo de busca da ME no HEVC, sem nenhuma simplificação ou heurística, pode chegar a avaliar até 311 CBs para uma única PU 64x64 [23]. Portanto, limitar tamanho de CTU para 32x32 ao invés de 64x64 e não realizar avaliações de PUs assimétricas ou retangulares 4x8 e 8x4, são todas estratégias empregadas pelo chipset para se reduzir o número de PUs avaliadas por CTU. Já a redução no SR representa uma estratégia de diminuir a quantidade de CBs analisados por PU, visto que uma redução no SR reduz a SA onde os CBs serão buscados.

É importante ressaltar que como o parâmetro SR não é uma informação contida na bitstream do vídeo, sendo propriedade intríseca do algoritmo de busca da ME implementado no chipset, não é possível extraír valores exatos para este parâmetro. Assim, para estimar um valor adequado de SR para o chipset analisado, tomaram-se como referência os intervalos máximos e mínimos dos MVs gerados pelo chipset ($[-77, 60]$ na vertical e $[-189, 188]$ na horizontal). Com base nesses valores, foram realizadas diversas simulações no software HM, variando o parâmetro SR, para todos os vídeos pertencentes

Tabela 1: Ferramentas disponíveis no codificador HEVC do Qualcomm snapdragon 8 Gen 2 e comparações com o software HM e [11]

Ferramenta	HM-18.0 (Low-Delay-P)	Apple A15 Bionic [11]	Qualcomm Snapdragon 8 Gen 2
Tamanho de CTU	64x64	32x32	32x32
Tamanho de GOP	8	4	1
Estrutura do GOP	Low-Delay-P	Random-Access	Low-Delay-P
Quadros de referência	Até 4	Até 2	1
Bi-predição	Habilitado	Habilitado	Desabilitado
Período Intra	-1 (Apenas primeiro quadro)	60 (vídeos 60qps) 32 (vídeos 30qps)	Taxa de quadros do vídeo
AMP	habilitado	desabilitado	desabilitado
Limitações em PUs inter	N/A	Sem suporte a 4x8 e 8x4	Sem suporte a 4x8 e 8x4
Intervalo de MV vertical	$[-1533, 1968]$	$[-188, 187]$	$[-77, 60]$
Intervalo de MV horizontal	$[-2176, 2138]$	$[-316, 315]$	$[-189, 188]$
SR (aproximação)	64	32	15
Bits FME	$2[0, .25, .5, .75]$	$2[0, .25, .5, .75]$	$2[0, .25, .5, .75]$
Limitações em PUs intra (UHD 4K@60qps)	N/A	Sem PUs 4x4 luma e modos intra ímpares em PUs 4x4 chroma	Sem PUs 4x4 luma

às classes A1, A2, B, C e D das Common Test Conditions (CTC) [5]. A simulação que obteve os valores mais próximos com o intervalo de MV produzido pelo chipset foi a simulação com SR em 15, a qual gerou vetores $[-433, 127]$ verticais e $[-318, 180]$ horizontais. Observando o limite superior do intervalo vertical, percebe-se que este se aproxima bastante com o gerado pelo chipset. Portanto, o valor de SR 15 foi utilizado para geração dos resultados de BD-Rate do chipset, na Seção 4.

Por fim, ao comparar o conjunto de restrições do Qualcomm Snapdragon 8 Gen 2 com o do Apple A15 Bionic [11], observa-se, primeiramente, uma variação significativa entre as restrições presentes em cada um dos chipsets, o que ilustra estratégias distintas de design de hardware adotadas por cada fabricante. Além disso, nota-se que o chipset Qualcomm Snapdragon 8 Gen 2 apresenta um conjunto mais restritivo de ferramentas suportadas, especialmente por não oferecer suporte à bi-predição e por apresentar um intervalo de MV consideravelmente menor do que o do Apple A15 Bionic. Dessa forma, é esperado que a degradação na eficiência de compressão do Qualcomm Snapdragon 8 Gen 2 seja superior à observada no Apple A15 Bionic. Tal avaliação será conduzida com base nos resultados de BD-Rate apresentados na seção seguinte.

4 AVALIAÇÃO DA EFICIÊNCIA DE COMPRESSÃO DO CHIPSET QUALCOMM SNAPDRAGON 8 GEN 2

Para realização deste experimento, todas as sequências das CTCs das classes A1 e A2, contendo vídeos de resolução UHD 4K [5] e classe B, contendo vídeos de resolução FHD [5], foram codificados nos quatro níveis de Quantization Parameter (QP) recomendados (22, 27, 32, 37) [5], utilizando a versão do software HM 18.0 que emula o comportamento do chipset analisado. Os vídeos dessas classes possuem as mesmas resoluções que o chipset é capaz de capturar e comprimir. No entanto, este trabalho também estendeu a análise de BD-Rate sobre vídeos de resoluções menores, como 832x480p e 416x240p das classes C e D respectivamente, para verificar como as

restrições implementadas no chipset, com foco em altas resoluções, se comportam em vídeos de menor resolução.

A métrica de BD-Rate é calculada a partir dos valores de taxa de bits e Peak Signal-to-Noise Ratio (PSNR) (distorção da imagem), obtidos a partir de uma codificação baseline e da codificação emulando o comportamento do chipset das mesmas sequências. Estes valores são extraídos diretamente do registro (log) de codificação do software HM. O BD-Rate, conceitualmente, indica a variação percentual em taxa de bits para se atingir o mesmo nível de qualidade objetiva, logo, aumentos no percentual de BD-Rate indicam perdas na eficiência de compressão de uma dada solução, enquanto que reduções indicam melhorias. A métrica é calculada a partir da interpolação das curvas de taxa-distorção para os quatro valores de QP tanto no baseline quanto na emulação do chipset [4]. Após a interpolação, as integrais das duas curvas são calculadas e subtraídas entre si, resultando na taxa de BD-Rate [4]. O BD-Rate é a principal métrica utilizada para a avaliação da eficiência de compressão de vídeos, pois ela ilustra o trade-off entre taxa e distorção em um valor único.

O impacto de BD-Rate obtido para a média de cada uma das classes das CTCs, pode ser visualizado na Tabela 2. A Tabela 2 também mostra os resultados de BD-Rate expostos no trabalho [11] referente ao Apple A15 Bionic, sendo possível comparar a eficiência de ambos codificadores HEVC. O baseline utilizado para a obtenção dos resultados trazidos por este trabalho (Qualcomm Snapdragon 8 Gen 2) foi o software HM no perfil LDP, devido a sua estrutura de GOP ser LDP (Tabela 1), enquanto que o baseline utilizado no trabalho [11] foi o HM software no perfil RA, pelo mesmo motivo.

Os resultados da Tabela 2, indicam que o codificador HEVC do chipset Qualcomm Snapdragon 8 Gen 2 atinge um resultado inferior de BD-Rate em todas as classes quando comparado ao Apple A15 Bionic. Isso é perfeitamente comprehensível considerando as restrições encontradas em cada chipset, como destacado na Seção 4. Além disso, nota-se que os resultados do Qualcomm Snapdragon 8 Gen 2 são degradados na medida que as resoluções das sequências caem, obtendo seus piores resultados de BD-Rate para a classe D (videos 416x240p), atingindo 50.26%. Este fenômeno indica que as restrições implementadas em seu codificador HEVC são voltadas para terem um impacto menor na codificação de vídeos de alta resolução, como UHD 4K, resultando em um BD-Rate de 20.94%.

Tabela 2: Resultados de BD-Rate para a emulação do codificador HEVC presente no chipset Qualcomm Snapdragon 8 Gen 2 e comparação com [11]

Classe	Apple A15 Bionic BD-Rate [11]	Qualcomm Snapdragon 8 Gen 2 BD-Rate
Classe A1	15.312%	17.648%
Classe A2	–	24.233%
Classe B	22.660%	36.225%
Classe C	20.008%	39.315%
Classe D	18.241%	50.260%
Média A1 e A2 (UHD4K)	15.312%	20.941%
Média C e D (resoluções baixas)	19.125%	44.788%
Média total	19.055%	35.004%

Considerando todas as sequências, o chipset Qualcomm Snapdragon 8 Gen 2 atinge em média 35% de BD-Rate, enquanto que o Apple A15 Bionic atinge apenas 19.05%. Ao aplicar uma média sobre esses dois valores atingimos 27.03%, este percentual de BD-Rate pode servir de benchmark, para ilustrar a realidade comercial de codificadores mobile HEVC. Tomando como base os trabalhos [1, 6–8, 10, 14, 15, 18, 20–22, 24–27, 31, 32, 36], os quais propõem soluções de hardware eficiente para diversas etapas do codificador HEVC e apresentam resultados de BD-Rate variando de 0.3% até 24.16%, é possível afirmar que suas degradações de BD-Rate estão dentro do padrão comercial. Contudo, é importante ressaltar que os trabalhos relacionados apresentam os BD-Rates introduzidos das soluções propostas em apenas uma etapa específica de todo o processo de codificação, enquanto que os resultados apresentados por este trabalho dizem respeito a todo processo de codificação no chipset. Desta maneira, trabalhos com um BD-Rate elevado como: [27] (16.17%), [25] (18.38%), [1] (24.16%), podem apresentar uma degradação acima do benchmark comercial, quando sua solução for integrada em um codificador completo.

Finalmente, vale destacar que embora os resultados de BD-Rate tenham sido obtidos a partir de uma emulação em software do comportamento do chipset analisado, sem preocupações com desempenho em tempo real, tais resultados ainda são altamente relevantes para a literatura e para projetistas de hardware de baixa complexidade voltados à codificação de vídeo. Tomando como referência os trabalhos relacionados [1, 6–8, 10, 14, 15, 18, 20–22, 24–27, 31, 32, 36], observa-se que todos eles também obtêm seus resultados de BD-Rate por meio de simulações em software, avaliando o impacto de suas propostas sobre o codificador de referência HM. Portanto, dispor de métricas que ilustram a degradação da eficiência de compressão de soluções comerciais, igualmente obtidas via simulação no HM, é essencial para possibilitar uma comparação justa e para auxiliar projetistas quanto às limitações de ferramentas utilizadas e os impactos em eficiência de compressão tolerados.

5 CONCLUSÕES

Este trabalho apresentou a análise da eficiência de compressão, por meio da métrica BD-Rate, do chipset Qualcomm Snapdragon 8 Gen 2, embarcado no smartphone Samsung Galaxy S23 Plus. Quando comparado com outro trabalho na literatura que realizou um experimento semelhante ao apresentado neste artigo, o chipset analisado apresenta um resultado inferior ao apontado por [11], atingindo um percentual de 35% de BD-Rate. Além disso, é possível notar uma variação significativa nas restrições implementadas por dois chipsets comerciais de fabricantes diferentes. Os resultados deste trabalho, possuem grande valia para projetistas de hardware dedicado e comunidade acadêmica de codificação de vídeo, pois define um benchmark de eficiência de compressão no qual codificadores mobile do padrão HEVC operam.

6 ACKNOWLEDGEMENTS

Esta pesquisa foi financiada em parte pela Coordenação de Aperfeiçoamento de Pessoal de Nível Superior – Brasil (CAPES) – Código Financeiro 001. Também foi financiado em parte pela Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul – Brasil (FAPERGS), e pelo Conselho Nacional de Desenvolvimento Científico e Tecnológico – Brasil (CNPq).

REFERÊNCIAS

- [1] Vladimir Afonso, Ruhan Conceição, Mario Saldanha, Luciano Braatz, Murilo Perleberg, Guilherme Corrêa, Marcelo Porto, Luciano Agostini, Bruno Zatt, and Altamiro Susin. 2019. Energy-Aware Motion and Disparity Estimation System for 3D-HEVC With Run-Time Adaptive Memory Hierarchy. *IEEE Transactions on Circuits and Systems for Video Technology* 29, 6 (2019), 1878–1892. <https://doi.org/10.1109/TCSVT.2018.2847633>
- [2] Apple. 2022. iPhone 14 Pro technical specifications. Retrieved Feb. 22, 2024: https://support.apple.com/kb/SP875?viewlocale=en_US (2022).
- [3] Bitmovin. 2023. The Annual Bitmovin Video Developer Report. Retrieved May 6, 2024: <https://bitmovin.com/video-developer-report> (2023).
- [4] G. Bjontegaard. 2001. Calculation of Average PSNR Differences between RD curves. In *ITU-T SG16/Q6 VCEG 13th meeting, Austin*. Retrieved Jul. 21, 2025: https://www.itu.int/wtvp3/av-arch/video-site/0104_Aus/VCEG-M33.doc.
- [5] Jill Boyce, Karsten Suehring, Xiang Li, and Vadim Seregin. 2018. *JVET-J101: JVET common test conditions and software reference configurations*.
- [6] T. Bulbolz, R. Conceição, M. Grellert, B. Zatt, L. Agostini, and G. Correa. 2018. Fast and energy-efficient HEVC transrating based on frame partitioning inheritance. *2018 IEEE 9th Latin American Symposium on Circuits and Systems (LASCAS)* (2018), 1–4. <https://doi.org/10.1109/LASCAS.2018.8399905>
- [7] Y. Cai, Y. Fan, L. Huang, X. Zeng, H. Yin, and B. Zeng. 2022. A Fast CABAC Hardware Design for Accelerating the Rate Estimation in HEVC. *IEEE Transactions on Circuits and Systems for Video Technology* 32, 4 (2022), 2385–2395. <https://doi.org/10.1109/TCSVT.2021.3093579>
- [8] W. Chuen-Ching and G. L. Li. 2017. Hardware-friendly advanced motion vector prediction method and its architecture design for high efficiency video coding. *Multimedia Tools and Applications* 76, 26 (2017), 25285–25296. <https://doi.org/10.1007/s11042-017-4500-9>
- [9] CISCO. 2023. *Cisco Annual Internet Report (2018–2023) White Paper*. Retrieved Julho 25, 2025 from <https://www.cisco.com/c/en/us/solutions/collateral/executive-perspectives/annual-internet-report/white-paper-c11-741490.html>
- [10] R. Conceição, A. Araújo, M. Porto, B. Zatt, and L. Agostini. 2015. Hardware design of fast HEVC 2-D IDCT targeting real-time UHD 4K applications. *2015 IEEE 10th Latin American Symposium on Circuits and Systems (LASCAS)* (2015), 1–4. <https://doi.org/10.1109/LASCAS.2015.7250473>
- [11] V. Costa, M. Perleberg, L. Agostini, and M. Porto. 2024. Coding Efficiency and Time Evaluation of Apple A15 Bionic Chipset HEVC Encoder. *2024 IEEE 15th Latin America Symposium on Circuits and Systems (LASCAS)* (2024), 1–5. <https://doi.org/10.1109/LASCAS60203.2024.10506151>
- [12] FFmpeg. 2000. Fast Foward Moving Pictures Experts Group. Retrieved Feb. 22, 2024: <https://ffmpeg.org/> (2000).
- [13] M. Grellert, S. Bampi, and B. Zatt. 2016. Complexity-scalable HEVC encoding. *2016 Picture Coding Symposium* (2016), 1–5. <https://doi.org/10.1109/PCS.2016.7906356>
- [14] G. He, D. Zhou, Y. Li, Z. Chen, T. Zhang, and S. Goto. 2015. High-Throughput Power-Efficient VLSI Architecture of Fractional Motion Estimation for Ultra-HD HEVC Video Encoding. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 23, 12 (2015), 3138–3142. <https://doi.org/10.1109/TVLSI.2014.2386897>
- [15] L. Hu, J. Gu, G. He, and W. He. 2017. A hardware-friendly hierarchical HEVC motion estimation algorithm for UHD applications. *2017 IEEE International Symposium on Circuits and Systems (ISCAS)* (2017), 1–4. <https://doi.org/10.1109/ISCAS.2017.8050322>
- [16] ITU-T. 2003. H.264: Advanced Video Coding. Retrieved Dec. 4, 2024: <https://www.itu.int/itu-t/recommendations/rec.aspx?rec=6312&lang=en> (2003).
- [17] ITU-T. 2013. H.265: High Efficiency Video Coding. Retrieved Mar. 20, 2024: <https://www.itu.int/rec/T-REC-H.265> (2013).
- [18] M. Leme, L. Braatz, D. Palomino, L. Agostini, and M. Porto. 2019. Low-Power and High-Throughput Approximate 4x4 DCT Hardware Architecture. *2019 IEEE 10th Latin American Symposium on Circuits and Systems (LASCAS)* (2019), 245–248. <https://doi.org/10.1109/LASCAS.2019.8667581>
- [19] Solveig Multimedia. 2015. Zond 265 - HEVC Analyzer. Retrieved Feb. 22, 2024: <https://www.solveigmm.com/en/products/zond/> (2015).
- [20] S. Park, B. G. Choi, I. G. Lim, H. I. Park, and S. W. Kang. 2016. An efficient motion estimation hardware architecture using Modified Reference Data Access (MRDAS) skip algorithm for High Efficiency Video Coding (HEVC) encoder. *2016 IEEE 6th International Conference on Consumer Electronics* (2016), 85–89. <https://doi.org/10.1109/ICCE-Berlin.2016.7684724>
- [21] G. Pastuszak and M. Trochimiuk. 2016. Algorithm and architecture design of the motion estimation for the H.265/HEVC 4K-UHD encoder. *Journal of Real-Time Image Processing* 12 (2016), 517–529. <https://doi.org/10.1007/s11554-015-0516-4>
- [22] W. Penny, G. Corrêa, L. Agostini, D. Palomino, M. Porto, G. Nazar, and B. Zatt. 2020. Low-Power and Memory-Aware Approximate Hardware Architecture for Fractional Motion Estimation Interpolation on HEVC. *2020 IEEE International Symposium on Circuits and Systems (ISCAS)* (2020), 1–5. <https://doi.org/10.1109/ISCAS45731.2020.9180976>
- [23] Murilo Perleberg, Vladimir Afonso, Luciano Agostini, Bruno Zatt, and Marcelo Porto. 2024. Memory-Centered Motion Estimation System With CTB-Based Full-Splitting Algorithm. *IEEE Transactions on Consumer Electronics* (2024). <https://doi.org/10.1109/TCE.2024.3399123>
- [24] M. Perleberg, V. Afonso, L. Agostini, B. Zatt, and M. Porto. 2024. Memory-Centered Motion Estimation System With CTB-Based Full-Splitting Algorithm. *IEEE Transactions on Consumer Electronics* 70, 2 (2024), 5007–5019. <https://doi.org/10.1109/TCE.2024.3399123>
- [25] M. Perleberg, V. Afonso, R. Conceição, A. Susin, L. Agostini, M. Porto, and B. Zatt. 2018. Energy and rate-aware design for HEVC motion estimation based on Pareto efficiency. *Journal of Integrated Circuits and Systems* 13, 1 (2018), 1–12. <https://doi.org/10.2929/jics.v13i1.18>
- [26] R. Porto, L. Agostini, B. Zatt, N. Roma, and M. Porto. 2019. Power-Efficient Approximate SAD Architecture with LOA Imprecise Adders. *IEEE 10th Latin American Symposium on Circuits and Systems (LASCAS)* (2019), 65–68. <https://doi.org/10.1109/LASCAS.2019.8667554>
- [27] R. Porto, M. Perleberg, V. Afonso, B. Zatt, N. Roma, L. Agostini, and M. Porto. 2021. Fast and energy-efficient approximate motion estimation architecture for real-time 4K UHD processing. *Journal of Real-Time Image Processing* 18 (2021), 723–737. <https://doi.org/10.1007/s11554-020-01014-6>
- [28] Qualcomm. 2022. Snapdragon 8 Gen 2 Mobile Platform. Retrieved Feb. 22, 2024: <https://www.qualcomm.com/products/mobile/snapdragon/smartphones/snapdragon-8-series/mobile-platforms> (2022).
- [29] Samsung. 2023. Samsung Galaxy S23 & S23+ technical specifications. Retrieved Feb. 22, 2024: <https://www.samsung.com/us/smartphones/galaxy-s23/specs/> (2023).
- [30] Scientiamobile. 2018. Growing Support of HEVC or H.265 Video on Mobile Devices. Retrieved Jun. 5, 2024: <https://www.scientiamobile.com/growing-support-of-hevc-or-h-265-video-on-mobile-devices/> (2018).
- [31] K. Singh and S. Rafi Ahmed. 2018. Low Power Motion Estimation Algorithm and Architecture of HEVC/H.265 for Consumer Applications. *IEEE Transactions on Consumer Electronics* 64, 3 (2018), 267–275. <https://doi.org/10.1109/TCE.2018.2867823>
- [32] A. Singhadia, M. Mamillapalli, and I. Chakrabarti. 2020. Hardware-Efficient 2D-DCT/IDCT Architecture for Portable HEVC-Compliant Devices. *IEEE Transactions on Consumer Electronics* 66, 3 (2020), 203–212. <https://doi.org/10.1109/TCE.2020.3006213>
- [33] Karsten Suehring. 2023. High Efficiency Video Coding (HEVC) Test Model (HM) - Version 18.0. Retrieved Dec. 4, 2024: <https://vcgit.hhi.fraunhofer.de/jvet/HM/2023>
- [34] V. Sze, M. Budagavi, and G. Sullivan. 2014. *High Efficiency Video Coding (HEVC): Algorithms and Architectures*. Springer. <https://doi.org/10.1007/978-3-319-06895-4>
- [35] ViTech. 2025. *Sequências Capturadas com o Smartphone Samsung Galaxy S23 Plus*. https://drive.google.com/drive/folders/1UVSHnA5q6ut_mepyTia9LpQNGsgb0Tq?usp=sharing
- [36] Y. Zhang and C. Lu. 2019. Efficient Algorithm Adaptations and Fully Parallel Hardware Architecture of H.265/HEVC Intra Encoder. *IEEE Transactions on Circuits and Systems for Video Technology* 29, 11 (2019), 3415–3429. <https://doi.org/10.1109/TCSVT.2018.2878399>