

QuestIO: um portal para o aprendizado de hardware

Carolina da S. Santos¹, Enzo Y. Murayama¹, Ricardo Menotti¹, Ricardo S. Ferreira^{2*}

Departamento de Computação – Universidade Federal de São Carlos (UFSCar)
CEP 13.565-905 – São Carlos – SP – Brazil

²Universidade Federal de Viçosa (UFV) – CEP 36.570-900 – Viçosa – MG – Brasil

{menotti@, {enzoyouji, carolina.santos}@estudante.}ufscar.br,
ricardo@ufv.br

Abstract. *This paper presents QuestIO, an educational portal designed to support digital systems and Verilog design teaching at the Federal University of São Carlos. The platform integrates theory, interactive exercises, code simulation, automated grading, and remote access to real FPGA hardware. Developed to foster active learning, it enables students to practice concepts incrementally with immediate feedback. Deployed across multiple course offerings for hundreds of students, the platform increased engagement and improved academic performance. This experience demonstrates the potential of integrated digital learning environments to bridge theory and practice in introductory hardware education for Computing courses.*

Resumo. *Este artigo apresenta o portal educacional QuestIO, desenvolvido para apoiar o ensino de sistemas digitais e projeto em Verilog na disciplina de Lógica Digital da Universidade Federal de São Carlos. A plataforma integra conteúdos teóricos, exercícios interativos, simulação de código, correção automática e acesso remoto a hardware real por meio de kits de FPGA. O ambiente foi concebido para apoiar estratégias de aprendizagem ativa, permitindo que os estudantes pratiquem conceitos de forma incremental e recebam feedback imediato durante o processo de aprendizagem. A plataforma foi utilizada em diversas ofertas da disciplina, envolvendo centenas de estudantes. Os resultados indicam maior engajamento dos alunos e melhoria no desempenho acadêmico após a adoção do ecossistema integrado. A experiência demonstra o potencial de ambientes educacionais digitais para aproximar teoria e prática no ensino introdutório de hardware em cursos de Computação.*

1. Introdução

O ensino de hardware em cursos de Computação enfrenta desafios significativos devido à complexidade e abstração dos conceitos envolvidos, além da necessidade de prática com sistemas digitais e seus componentes físicos. Abordagens tradicionais baseadas apenas em aulas expositivas muitas vezes se mostram insuficientes, dificultando a compreensão, especialmente para iniciantes. A ausência de práticas e recursos interativos

*Apoio: FAPEMIG APQ-01577-22, Funarbe – Curso de Especialização Lato Sensu em Robótica UFV

pode dificultar a consolidação dos fundamentos e reduzir o engajamento dos estudantes. O rápido avanço da tecnologia e as constantes mudanças nas demandas do mercado reforçam a necessidade de métodos de ensino mais dinâmicos e interativos, capazes de acompanhar a evolução do conhecimento e promover uma aprendizagem ativa e participativa. Por isso, torna-se essencial adotar estratégias que integrem simulação, experimentação prática e *feedback* imediato, permitindo que os estudantes construam gradualmente seu conhecimento, testem hipóteses e relacionem teoria e prática de forma mais efetiva.

Um aspecto adicional é o uso de linguagens como VHDL e Verilog, conhecidas como Linguagens de Descrição de Hardware (HDL). Devido à sua semelhança com a linguagem C, o Verilog vem se destacando como padrão. Embora projetado para simplificar projetos de circuitos, sua sintaxe especializada e as trilhas de aprendizado limitadas impõem uma curva de aprendizado íngreme para iniciantes. Em ambientes tradicionais, os alunos frequentemente se sentem desestimulados pela falta de experiência prática e de *feedback*, criando uma desconexão entre o aprendizado visual em aula, com portas lógicas, e a implementação em laboratório usando HDLs. Essa frustração pode levar ao desinteresse por sistemas digitais e até pela graduação em Engenharia de Computação [Chang 2017], por isso um sistema que auxilie o estudo autônomo de Verilog tem sido amplamente solicitado, tanto na academia quanto na indústria [Hsieh et al. 2025], evidenciando a necessidade do estudo autônomo e a prática guiada em Verilog.

Diante desse cenário, este trabalho apresenta o desenvolvimento e a evolução do portal educacional QuestIO, criado para apoiar o ensino de sistemas digitais e projeto em Verilog na disciplina de Lógica Digital da Universidade Federal de São Carlos. As principais contribuições deste artigo incluem:

1. Desenvolvimento de uma plataforma educacional integrada para o ensino de Verilog, que combina conteúdos teóricos, exercícios interativos, simulações, correção automática e acesso remoto a hardware real;
2. Proposição de um modelo pedagógico baseado em aprendizagem ativa, combinando atividades práticas com *feedback* automático, favorecendo a participação ativa dos estudantes e a consolidação de conceitos fundamentais;
3. Participação ativa de outros estudantes na construção da plataforma educacional baseada no princípio “alunos para alunos” no desenvolvimento do portal;
4. Relato da aplicação dessa infraestrutura em múltiplas ofertas da disciplina Lógica Digital, envolvendo centenas de estudantes ao longo de vários anos.

Portanto, a plataforma proposta amplia a experimentação em hardware e fortalece o aprendizado em cursos introdutórios de Computação.

2. Justificativa

O ensino de hardware ainda apresenta desafios que dificultam a compreensão efetiva por parte dos estudantes, uma vez que combina conceitos abstratos com habilidades práticas que exigem raciocínio lógico, resolução de problemas e familiaridade com ferramentas e linguagens relativamente complexas. Os fundamentos de hardware constituem a base sobre a qual todo o software é construído, sendo essenciais para compreender a execução de programas, o uso de recursos computacionais e as limitações físicas que afetam o desempenho. No entanto, muitos alunos têm dificuldade em relacionar esses conceitos à prática do desenvolvimento de software, o que pode gerar desmotivação e

menor retenção de conhecimento. Esse cenário é agravado pelo surgimento de linguagens e ferramentas cada vez mais abstratas, que aumentam a produtividade, mas também afastam os estudantes dos fundamentos que regem o funcionamento do hardware.

Além disso, o cenário computacional atual é marcado por uma crescente heterogeneidade de hardware, incluindo arquiteturas como CPUs multicore, GPUs, aceleradores especializados e dispositivos embarcados. Nesse contexto, compreender os fundamentos de hardware torna-se essencial para desenvolver software eficiente, capaz de explorar adequadamente os recursos disponíveis, alcançar melhor desempenho e reduzir custos energéticos. Paralelamente, os estudantes atuais estão inseridos em um contexto altamente digitalizado, caracterizado por interações rápidas e consumo constante de conteúdos digitais. Nesse sentido, o artigo [Mayen et al. 2025] discute como o uso frequente de mídias digitais por adolescentes pode influenciar seus hábitos de aprendizagem e desempenho acadêmico, indicando que a exposição contínua a conteúdos rápidos tende a reduzir o tempo dedicado ao estudo e o engajamento em tarefas que exigem atenção prolongada. Diante desse cenário, a adoção de métodos de aprendizagem ativa em áreas STEM tem demonstrado benefícios no aumento do engajamento e da retenção de conhecimento, além de contribuir para reduzir a evasão e a frustração de estudantes com menor preparo acadêmico [Van Wart et al. 2025].

Assim, torna-se necessário adotar estratégias pedagógicas que integrem recursos tecnológicos, atividades práticas e abordagens interativas para tornar o ensino de hardware mais atrativo e eficaz. Ao aproximar conceitos fundamentais de experiências práticas e contextualizadas, busca-se facilitar a compreensão do funcionamento interno dos sistemas computacionais e evidenciar sua importância no desenvolvimento de software. Nesse contexto, o uso de ferramentas que ofereçam *feedback* rápido e mecanismos de correção automática pode fortalecer o processo de aprendizagem, permitindo que os estudantes identifiquem erros, ajustem suas soluções e consolidem conceitos de forma mais imediata e contínua.

3. Contexto da Experiência e Público-Alvo

A experiência foi desenvolvida durante a disciplina de Lógica Digital no âmbito do Departamento de Computação da Universidade Federal de São Carlos, que conta com os cursos de Ciência e Engenharia de Computação, tendo como público-alvo estudantes regularmente matriculados no primeiro período desses cursos. Nesse cenário, a maioria dos ingressantes possui pouco ou nenhum conhecimento prévio em Computação ou em sistemas digitais, o que torna essencial o uso de estratégias que combinem múltiplas formas de aprendizagem para que todos possam construir uma base sólida desde o início da graduação. Assim, a diversidade de estilos de aprendizagem e a necessidade de *feedback* rápido se tornam especialmente relevantes, pois influenciam diretamente o engajamento e a assimilação dos conceitos fundamentais de hardware.

Além disso, a disciplina de Lógica Digital representa frequentemente o primeiro contato estruturado dos estudantes com sistemas digitais e linguagens de descrição de hardware, exigindo recursos que apoiem tanto a compreensão conceitual quanto a experimentação prática. A plataforma educacional descrita neste artigo, desenvolvida gradativamente a partir de 2021, buscou atender a essas necessidades, oferecendo diferentes modos de interação, como leituras, vídeos, simulações, exercícios práticos com

devolutivas rápidas e laboratórios remotos, permitindo que os estudantes construam seu aprendizado de forma progressiva, interativa e alinhada ao perfil e às expectativas do público-alvo. Os primeiros recursos desenvolvidos são apresentados na Figura 1, demonstrando o uso do simulador Icarus Verilog a partir do navegador e a programação remota de um kit de FPGAs, respectivamente.

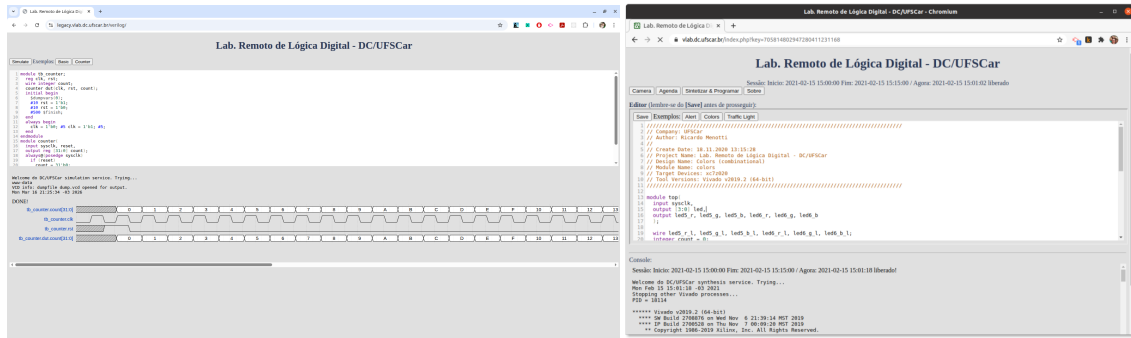


Figura 1. Primeiras versões da simulação e programação remota do FPGA.

4. Metodologia e Descrição da Experiência

Esta seção descreve a metodologia da disciplina, incluindo seu contexto, objetivos pedagógicos, a plataforma educacional utilizada, as estratégias de ensino, a infraestrutura tecnológica, ferramentas de avaliação automática e materiais de apoio ao aprendizado.

4.1. Contexto da Disciplina e Objetivos Pedagógicos

A experiência relatada foi desenvolvida no contexto da disciplina de Lógica Digital, ofertada nos cursos da área de Computação da Universidade Federal de São Carlos, cujo objetivo principal é introduzir os estudantes aos fundamentos de sistemas digitais, com ênfase em descrição de hardware utilizando a linguagem Verilog, simulação, síntese e implementação em dispositivos programáveis do tipo FPGA. O conteúdo previsto para a disciplina contempla Álgebra Booleana, síntese e simplificação de expressões lógicas usando mapas de Karnaugh, aplicados à construção de circuitos combinacionais e sequenciais, chegando até máquinas de estados finitos usando os modelos de Moore e de Mealy. A linguagem de descrição de hardware Verilog é apresentada desde o início e suas diversas construções são introduzidas à medida que os conceitos teóricos avançam, mas a forma como isso é feito foi modificada ao longo dos anos.

Nas primeiras ofertas da disciplina, introduziam-se as formas de especificação Funcional, Estrutural e Comportamental da linguagem já no início do curso, demonstrando como construir um multiplexador em cada uma delas, conforme a Figura 2. A partir dos relatos dos estudantes, percebeu-se que a introdução simultânea de formas diferentes de especificação, presentes na linguagem Verilog, confundia sua aplicação. Passou-se, então, a adotar uma abordagem progressiva, partindo da especificação Estrutural, que é mais correspondente ao circuito, até chegar a Comportamental, mais abstrata e, às vezes, de difícil associação com o circuito resultante.

A disciplina historicamente apresenta desafios relacionados à heterogeneidade do conhecimento prévio dos estudantes, à curva de aprendizado das ferramentas de hardware e à necessidade de conciliar fundamentos teóricos com atividades práticas. Além disso,

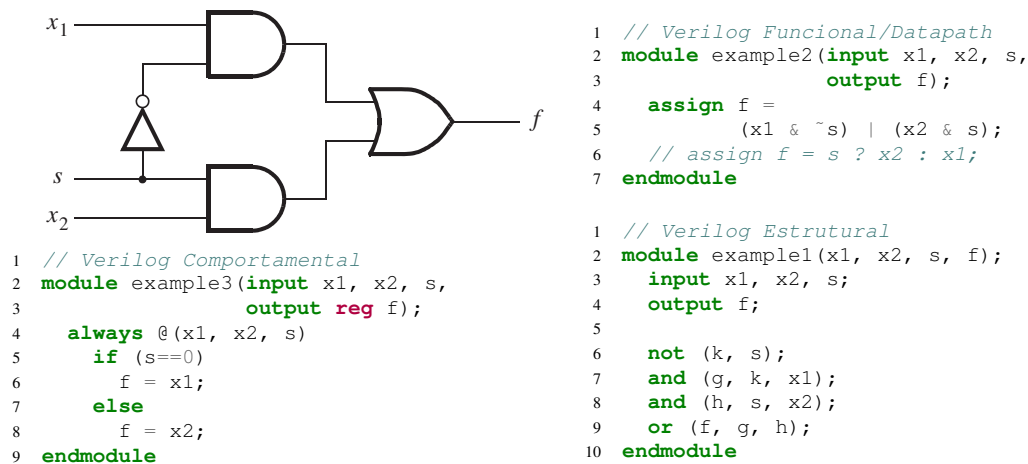


Figura 2. Circuito multiplexador e suas possíveis implementações em Verilog

o acesso restrito a laboratórios físicos e a necessidade de acompanhamento contínuo das práticas motivaram a adoção de estratégias pedagógicas apoiadas por tecnologia.

Diante desse cenário, os objetivos pedagógicos da experiência foram:

1. Promover a aprendizagem ativa por meio de atividades práticas e progressivas;
2. Ampliar o acesso aos recursos de simulação e experimentação em hardware;
3. Oferecer *feedback* rápido e contínuo durante o processo de aprendizagem;
4. Reduzir as barreiras associadas ao uso de ferramentas de projetos de hardware.

4.2. Plataforma Educacional e sua Evolução

Para atender aos objetivos propostos, foi desenvolvido um portal educacional que centraliza diferentes recursos didáticos e tecnológicos utilizados na disciplina. A tela inicial do portal e um exemplo de questionário com video-aula incorporada são apresentados na Figura 3. A construção da plataforma seguiu uma abordagem evolutiva, acrescentando gradualmente novos recursos de acordo com as demandas pedagógicas percebidas durante as diferentes implementações da disciplina e em resposta a mudanças no contexto educacional. Inicialmente, o portal atuava como um agregador de conteúdos e atividades. Com o tempo, passou a integrar mecanismos de avaliação automática, simulação online de códigos em Verilog e acesso remoto a hardware real. Essa evolução, descrita nas próximas seções, permitiu consolidar, em um único ambiente, atividades de estudo prévio, prática supervisionada, experimentação e avaliação, favorecendo a autonomia dos estudantes e a escalabilidade da disciplina.

4.3. Desenvolvimento da plataforma

A plataforma educacional foi desenvolvida com base no princípio de “alunos para alunos”, na qual mais de 20 estudantes de graduação atuaram como desenvolvedores do portal enquanto outros o testavam como ferramenta de aprendizagem na disciplina, tornando o próprio processo de desenvolvimento uma experiência formativa que integrava ensino, prática profissional e extensão universitária. O projeto contou com equipes de estudantes, sendo um bolsista e os demais voluntários, responsáveis por diferentes componentes do sistema, o que possibilitou o aprendizado de diversas tecnologias e arquiteturas, ampliando a formação técnica dos alunos. Essa dinâmica gerou um ciclo contínuo



Figura 3. Telas do portal [QuestIO Team 2026].

de retroalimentação, em que os estudantes usuários forneciam *feedback* sobre funcionalidades e os desenvolvedores ajustavam a plataforma conforme as necessidades reais observadas no contexto da disciplina. Além disso, o projeto foi contemplado com bolsas de extensão, concedidas pela ProEx UFSCar, o que possibilitou maior dedicação dos estudantes envolvidos e reforçou o caráter extensionista da iniciativa, ao proporcionar vivência prática em projetos reais, trabalho em equipe, manutenção de sistemas em uso contínuo e interação direta com usuários finais, que eram, simultaneamente, seus colegas no processo de formação acadêmica. A seguir, descrevem-se as principais estratégias pedagógicas utilizadas, recursos tecnológicos e materiais didáticos que compõem essa plataforma.

4.4. Estratégias Pedagógicas

A disciplina foi estruturada sob o paradigma da aprendizagem ativa, utilizando o modelo de sala de aula invertida como pilar central para otimizar o tempo de contato entre docente e estudante. O acesso prévio ao conteúdo teórico, disponibilizado por meio de videoaulas, permitiu que os alunos gerenciassem o próprio ritmo de aprendizagem antes dos encontros síncronos ou presenciais. Adicionalmente, a implementação de questionários de pré-teste no ambiente virtual Moodle assegurou o engajamento discente e permitiu uma verificação imediata da compreensão básica dos conceitos abordados.

Durante os encontros presenciais ou síncronos, o foco pedagógico deslocou-se para a resolução colaborativa de problemas, discussões e elucidação de dúvidas, atividades que eram posteriormente consolidadas por meio de pós-testes. Paralelamente, fomentou-se a autonomia do estudante através do uso da plataforma externa HDLbits, na qual o desenvolvimento de competências em Verilog foi estimulado pela oferta de pontuação extra. Essa estratégia de prática independente provou-se essencial para o desenvolvimento de competências técnicas em Computação, complementando a teoria com a aplicação prática autônoma. Dessa forma, as estratégias pedagógicas da disciplina uniram teoria, prática, experimentação e *feedback* contínuo em um ambiente integrado, estimulando a autonomia, o engajamento e o desenvolvimento efetivo de competências essenciais em Computação.

4.5. Infraestrutura Tecnológica e Ferramentas de Apoio à Aprendizagem

A consolidação da infraestrutura tecnológica da disciplina ocorreu por meio de uma plataforma educacional unificada, concebida para integrar os diversos recursos de

aprendizagem em um único ambiente digital. Este ecossistema centraliza o acesso a um simulador chamado Icarus Verilog, ao laboratório remoto de hardware e à infraestrutura de submissão de código, eliminando a necessidade de configurações complexas em máquinas locais. A arquitetura do sistema foi projetada para ser escalável e transparente, garantindo que estudantes e docentes tenham um fluxo de trabalho contínuo, que vai desde a simulação teórica até a implementação prática em dispositivos físicos.

A infraestrutura de hardware remoto, desenvolvida inicialmente para viabilizar o acesso a kits de FPGA durante o período de isolamento sanitário, passou por uma reengenharia significativa para atender à crescente demanda. O modelo original, baseado em agendamento manual [Afonso et al. 2022], evoluiu para um sistema automatizado de fila integrado ao GitHub Classroom. Nesse fluxo, os estudantes clonam repositórios template e submetem códigos que são automaticamente processados, sintetizados e executados na placa disponível no servidor. Essa solução é complementada por uma interface web que permite o monitoramento em tempo real do estado das placas e da fila de execução, conferindo maior visibilidade e autonomia ao processo experimental.

4.6. Ferramentas de Avaliação Automática

Visando a integração de atividades práticas de Verilog às avaliações da disciplina, desenvolveu-se um simulador online baseado no Icarus Verilog. Essa ferramenta permite a escrita, simulação e teste de códigos diretamente no navegador, eliminando a necessidade de configurações locais complexas. A funcionalidade foi integrada aos questionários da plataforma, viabilizando a criação de avaliações que processam códigos e casos de teste automaticamente, oferecendo *feedback* instantâneo que permite ao estudante corrigir erros durante o próprio processo de aprendizagem.

Complementarmente, adotou-se o GitHub Classroom para a proposição de exercícios dotados de correção automatizada. A cada submissão, ações de integração contínua executam scripts e testbenchs predefinidos, permitindo que os estudantes validem suas soluções rigorosamente antes da entrega final. Esta abordagem contribui para tornar o processo avaliativo mais claro e organizado, além de aproximar as práticas acadêmicas das metodologias utilizadas no desenvolvimento profissional de hardware.

4.7. Materiais Didáticos Complementares e Tutoriais

Com o objetivo de proporcionar uma experiência de aprendizado mais interativa, foi elaborado um livro didático de Lógica Digital [Menotti and Ferreira 2023] acompanhado por exercícios complementares implementados em notebooks no Google Colab¹. Esse material permite a exploração aprofundada dos conceitos teóricos sem exigir que o estudante configure ambientes de desenvolvimento locais. A utilização desses recursos amplia o escopo da disciplina, oferecendo suporte contínuo para o estudo autônomo e facilitando a fixação do conteúdo programático.

Além disso, identificou-se que estudantes vinculados a projetos de Iniciação Científica e Trabalhos de Conclusão de Curso frequentemente enfrentavam barreiras devido à curva de aprendizado de ferramentas avançadas, como, por exemplo, as voltadas à validação formal com Python. Para mitigar esse desafio, foram criados tutoriais no formato “*quick start*”² para cada ferramenta frequentemente utilizada. Esses guias técnicos

¹<https://colab.research.google.com/github/menotti/ld/blob/main/livro/Compl.ipynb>

²<https://www.vlab.dc.ufscar.br/tutoriais/>

oferecem suporte direto, facilitando o ingresso de estudantes em projetos complexos e aumentando o impacto formativo da disciplina além da sala de aula convencional.

5. Avaliação e Resultados Obtidos

Ao longo das diferentes ofertas da disciplina, a incorporação gradual de novas ferramentas resultou na construção de um ambiente de aprendizagem mais integrado. A plataforma passou a reunir, em um único ecossistema educacional, recursos de conteúdo teórico, exercícios interativos, simulação de código em Verilog, correção automática e experimentação em hardware remoto. Essa integração amplia as oportunidades de prática e fornece *feedback* contínuo aos estudantes, favorecendo diferentes estilos de aprendizagem e tornando o processo mais dinâmico e efetivo. A Figura 4 apresenta uma visão geral do portal QuestIO, com tutoriais passo a passo, acompanhado de testes e gamificação, verificação de códigos, visualização e formas de onda, acesso remoto a laboratório físico para uso dos kits FPGAs, verificação com correção automatizada dos exercícios Verilog e Github Classroom.

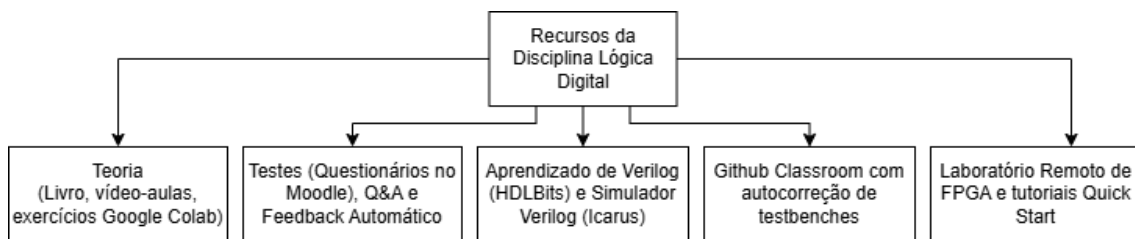


Figura 4. Ecossistema do QuestIO

A disciplina de Lógica Digital possui turmas anuais com aproximadamente **120** estudantes por oferta, considerando os cursos de Ciência da Computação e Engenharia de Computação. Durante o período analisado, entre 2021 e 2025, participaram da disciplina aproximadamente **600** estudantes, em que os alunos a partir de **2024** utilizaram os recursos da plataforma QuestIO ao longo das atividades da disciplina. Apenas na última oferta (2025), foram registradas quase **2000** submissões de exercícios em Verilog via GitHub Classroom, processadas automaticamente pelo sistema de avaliação, com uma média de **17** submissões por estudante. Além disso, o laboratório remoto registrou mais de **100** execuções de experimentos em FPGA ao longo do semestre, demonstrando uso ativo e intensivo da infraestrutura prática proposta.

A Figura 5 apresenta a distribuição das notas finais dos estudantes antes e depois da adoção das estratégias pedagógicas apoiadas pela plataforma QuestIO, em que o * corresponde ao ensino remoto durante a pandemia. Antes, a taxa de aprovação concentrava-se em torno de **70%** e a média final da turma **5,8**, enquanto depois da adoção da plataforma a taxa de aprovação subiu para até **77%** e a média para **6,6**. Com isso, observa-se uma melhora geral progressiva no desempenho médio da turma, além de uma redução no número de estudantes com desempenho insuficiente, que saiu de **29%** em 2019 para **22%** ao final de 2025. Embora diversos fatores possam influenciar o desempenho acadêmico, inclusive o período da pandemia que contou com aulas remotas, os resultados sugerem que a integração entre teoria, prática e *feedback* automático contribuiu positivamente para o processo de aprendizagem.

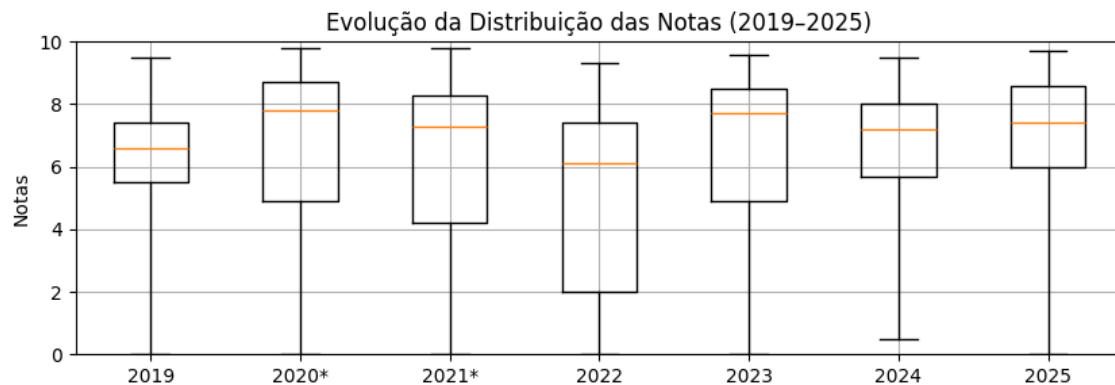


Figura 5. Evolução das notas dos estudantes.

6. Discussão e Trabalhos Relacionados

Várias abordagens já foram propostas na área de circuitos digitais: Q&A baseados em regras[Ahmed et al. 2018], Q&A em sala com auto-correção[Wanner 2024], programação com blocos[Castro et al. 2020], jogos[da Luz et al. 2023, Dôndici et al. 2025], uso de plataformas colaborativas como Discord, Telegram, Github[Rodrigues and da Silva Martins 2023], notebook computacionais como Google Colab ou Jupyter[Canesche et al. 2021, Ferreira et al. 2024a, Ferreira et al. 2024b], plataformas interativas com Q&A e validação de códigos como o HDLbits[HDLBits Team 2026], VPLAS [Hsieh et al. 2025], ChipDev[ChipDev.io 2026] ou tutoriais de Verilog como NandLand[Merrick 2026].

Apesar de jogos digitais serem atrativos para ensino, a maior parte deles [da Luz et al. 2023, Dôndici et al. 2025] está restrita aos conteúdos números binários, portas lógicas, mapas de karnaugh, tabelas verdade e expressões lógicas, como poucos trabalhos avaliando Verilog, circuitos sequenciais e outros tópicos. Um estudo recente [Lu et al. 2025] avaliou 57 trabalhos sobre a Correção Automática de Respostas Curtas (ASAG), destacando que essa tecnologia reduz o tempo e o esforço despendido pelos tutores na avaliação e possui potencial de impacto tanto no meio acadêmico quanto no mercado educacional. A análise indica que, embora os métodos tradicionais ainda sejam populares, a ascensão de modelos de IA generativa e LLMs reforça a integração da inteligência artificial como uma tendência inevitável na educação.

Os trabalhos mais próximos são Chipdev[ChipDev.io 2026] com questões de Verilog, edição de código e visualização de formas de onda, VPLAS [Hsieh et al. 2025] com um portal de atividades de introdução a Verilog e HDLbits[HDLBits Team 2026] com questões desde o nível introdutório de circuitos e Verilog, codificação e validação, além de ranqueamento dos estudantes como gamificação. Os diferenciais do QuestIO são a integração dos questionários com o conteúdo teórico disponibilizado em texto, figuras, vídeos, além de laboratórios remotos com acesso placas físicas, alternando teoria e prática de forma dinâmica para obter melhor consolidação dos conceitos apresentados.

A Tabela 1 apresenta uma comparação entre algumas plataformas educacionais para ensino de circuitos digitais e Verilog. Observa-se que as ferramentas oferecem exercícios interativos e validação automática de código, porém a maioria não integra, em um único ambiente, conteúdos teóricos, simulação, correção automatizada e acesso a

Tabela 1. Comparação entre plataformas educacionais para ensino de Verilog

Plataforma	Q&A	Simulação	Autocorreção	Lab. Remoto	Teoria integrada
HDLBits	X	X	X	–	–
VPLAS	X	X	X	–	–
ChipDev	X	X	X	–	–
QuestIO	X	X	X	X	X

hardware real. O portal QuestIO busca justamente um ecossistema diversificado e unificado de aprendizagem.

7. Conclusão

Este artigo apresentou o relato de experiência da evolução de uma plataforma educacional para ensino de sistemas digitais e projeto em Verilog no contexto da disciplina de Lógica Digital da Universidade Federal de São Carlos. A proposta integrou diferentes estratégias pedagógicas e recursos em um ambiente unificado, incluindo conteúdos teóricos, questionários interativos, simulação de Verilog, correção automática de exercícios com *feedbacks* imediatos e acesso remoto a hardware real por meio de kits FPGA.

A adoção desse ecossistema permitiu aproximar teoria e prática, oferecendo aos estudantes múltiplas oportunidades de experimentação e *feedback* ao longo do processo de aprendizagem. A integração entre simuladores, ferramentas de avaliação automática e laboratório remoto contribuiu para reduzir barreiras técnicas associadas à configuração de ambientes locais e ampliou o acesso às atividades práticas, favorecendo a autonomia dos estudantes. Os resultados observados ao longo das ofertas da disciplina indicam uma melhora no desempenho acadêmico e maior engajamento dos alunos nas atividades propostas. Outro aspecto relevante da iniciativa foi o modelo de desenvolvimento baseado no princípio de “alunos para alunos”, no qual estudantes de graduação participaram ativamente da construção e evolução da plataforma. Essa abordagem proporcionou benefícios adicionais ao processo formativo, permitindo que os estudantes envolvidos no desenvolvimento adquirissem experiência prática em engenharia de software, infraestrutura computacional e criação de ferramentas educacionais utilizadas por seus próprios colegas.

Como trabalhos futuros, pretende-se ampliar os recursos da plataforma, incorporando novas funcionalidades de análise de código, integração com ferramentas baseadas em inteligência artificial para apoio ao aprendizado e expansão da infraestrutura de laboratório remoto. Além disso, futuras investigações poderão explorar análises mais aprofundadas do impacto pedagógico, incluindo estudos longitudinais sobre aprendizagem, retenção de conhecimento e desenvolvimento de competências em hardware digital.

Dessa forma, a experiência relatada contribui para a reflexão sobre o uso de ambientes digitais integrados no ensino de Computação, especialmente em disciplinas que combinam conceitos teóricos e práticas experimentais em hardware. Os resultados indicam que a integração entre conteúdo teórico, prática incremental, acesso remoto a hardware e *feedbacks* constantes podem reduzir barreiras no aprendizado, além de favorecer o engajamento e a participação dos estudantes em disciplinas introdutórias de hardware.

8. Declaração sobre uso de Inteligência Artificial

Ferramentas de Inteligência Artificial generativa foram utilizadas como apoio na redação e revisão textual de partes deste artigo. Os autores revisaram, validaram e assumem total responsabilidade pelo conteúdo final apresentado.

Referências

- Afonso, C., Achon, C., Takeda, M., Antonialli, A., Galeti, H., Menotti, R., Aroca, R., Valente, F., Viola, M., Barostichi, R., Paterlini, R., Zanotto, M. A., de Assis Augusto, T., Felicio, A., and Paulillo, L. (2022). *INOVAÇÃO PEDAGÓGICA NO ENSINO DE ENGENHARIA: EXPERIÊNCIAS FORMATIVAS NA SERCET/CCET/UFSCAR*, p. 121. ABENGE.
- Ahmed, B., Kagita, M., Wijenayake, C. A., and Ravishankar, J. (2018). Implementation guidelines for an automated grading tool to assess short answer questions on digital circuit design course. In *2018 IEEE International Conference on Teaching, Assessment, and Learning for Engineering (TALE)*, p. 1142–1145. IEEE.
- Canesche, M., Bragança, L., Neto, O. P. V., Nacif, J. A., and Ferreira, R. (2021). Google Colab CAD4U: Hands-On Cloud Laboratories for Digital Design. In *2021 IEEE International Symposium on Circuits and Systems (ISCAS)*, p. 1–5.
- Castro, L., Azevedo, R., Técnico-IC-PFG, R., and de Graduação, P. F. (2020). Circuitly: A visual and constructive framework for teaching digital circuits. In *Anais Estendidos do XXI Simpósio em Sistemas Computacionais de Alto Desempenho*. SBC.
- Chang, D. W. (2017). Improving student confidence and retention using an introductory computer engineering course. In *2017 ASEE Annual Conference & Exposition*, Columbus, Ohio. ASEE Conferences.
- ChipDev.io (2026). Chipdev: Practice Verilog with Interactive Hardware Design Challenges. <https://chipdev.io/>. Acessado em: 17 de fev. de 2026.
- da Luz, L. F. d. S., Santini, A. L., Junior, M. M. C., Track, M. B., de Assumpção, M., Aylon, L. B. R., et al. (2023). Jogos educativos no ensino de circuitos digitais: Um mapeamento sistemático. In *Simpósio Brasileiro de Jogos e Entretenimento Digital (SBGames)*, p. 814–825. SBC.
- Dôndici, F., Ramos, J. V. F., Crawford, P. M., Valle, P. H. D., Oliveira, A. M. d., and Chaves, L. J. (2025). Um mapeamento sistemático da literatura sobre jogos educacionais digitais para o ensino de circuitos lógicos. *Anais*, p. 240–254.
- Ferreira, R., Canesche, M., Jamieson, P., Neto, O. P. V., and Nacif, J. A. (2024a). Examples and tutorials on using google colab and gradio to create online interactive student-learning modules. *Computer Applications in Engineering Education*, 32(4):e22729.
- Ferreira, R., Sabino, C., Canesche, M., Neto, O. P. V., and Nacif, J. A. (2024b). AIoT tool integration for enriching teaching resources and monitoring student engagement. *Internet of Things*, 26:101045.
- HDLBits Team (2026). Hdlbits: Learning Digital Logic Design through Simulation-based Problems. <https://hdlbits.01xz.net/>. Acessado em: 17 de fev. de 2026.

- Hsieh, P.-C., Fang, T.-L., Jin, S., Wang, Y., Funabiki, N., and Fan, Y.-C. (2025). A Verilog Programming Learning Assistant System Focused on Basic Verilog with a Guided Learning Method. *Future Internet*, 17(8):333.
- Lu, J., Balasubramanian, B. K., Joy, M., and Xu, Q. (2025). Survey and analysis for the challenges in computer science to the automation of grading systems. *ACM Computing Surveys*, 58(1):1–37.
- Mayen, S., Reinhardt, A., and Wilhelm, C. (2025). The complexities of digital media use in adolescents’ learning and academic performance: An experience sampling study. *Computers & Education*, 238:105411.
- Menotti, R. and Ferreira, R. S. (2023). *Introdução à Lógica Digital com Verilog: uma abordagem prática*. Kindle Direct Publishing (KDP).
- Merrick, R. (2026). Nandland: FPGA and Verilog Tutorials and Challenges. <https://nandland.com/>. Acessado em: 17 de fev. de 2026.
- QuestIO Team (2026). QuestIO é um portal para o aprendizado de hardware . <https://www.vlab.dc.ufscar.br/>. Acessado em: 12 de mai. de 2026.
- Rodrigues, G. L. and da Silva Martins, C. A. P. (2023). Plataforma de motivação e auxílio ao aprendizado colaborativa prévio de lógica de programação e arquitetura de computadores. *International Journal of Computer Architecture Education*, 12(1):11–20.
- Van Wart, M., McIntyre, M., Zhang, J., Medina, P., Ni, A., and Njuaem, L. (2025). The perceived importance of active learning techniques in online STEM courses. *Computers and Education Open*, 9:100309.
- Wanner, L. (2024). Integrating continuous assessment into undergraduate computer architecture using automated grading. *International Journal of Computer Architecture Education*, 13(1):24–32.