

Impacto de falhas transientes em memórias SRAM em nanotecnologia

Cleiton M. Marques¹, Cristina Meinhardt^{1 2}, Paulo F. Butzen^{1 3}.

¹ Centro de Ciências Computacionais - Universidade Federal de Rio Grande – FURG

² Departamento de Informática e Estatística - PPGCC, Universidade Federal de Santa Catarina – UFSC

³ Departamento de Engenharia Elétrica – PGMICRO, Universidade Federal do Rio Grande do Sul – UFRGS

cmarques@furg.br, paulo.butzen@ufrgs.br, cristina.meinhardt@ufsc.br

Abstract. *This work evaluates the impact of radiation-induced transient faults on five SRAM cell topologies: 6T, 8T, 9T, DICE and 8T-SER. The analysis explores the temporal characteristics, power dissipation and LET threshold during storage operation. The memory cells were described using the predictive model of a 16nm technology. The results show the best performance of the DICE cell as the most robust option regarding radiation effects. The 8T-SER cell obtained the best stability considering noise tolerance. The gains in the use of the 8T cell in relation to 6T are also presented when considering the metrics of delay and energy consumption.*

Resumo. *Esse trabalho avalia o impacto de falhas transientes induzidos por radiação em cinco topologias de células SRAM: 6T, 8T, 9T, 8T-SER e DICE. A análise explora as características temporais, de dissipação de potência e o limiar de LET durante a operação de armazenamento. As células de memória foram descritas utilizando o modelo preditivo na tecnologia de 16nm. Os resultados mostram o melhor desempenho da célula DICE como a opção mais robusta quanto aos efeitos de radiação. A célula 8T-SER obteve a melhor estabilidade considerando a tolerância ao ruído. Também são apresentados os ganhos na utilização da célula 8T em relação a 6T quando consideradas as métricas de atraso e consumo energético.*

1. Introdução

Sistemas computacionais tem como principais funções o armazenamento e o processamento dos dados. Em sistemas digitais, os dados e instruções são armazenados nos circuitos de memória. Ao longo de toda a evolução dos sistemas computacionais, três características se mostraram um desafio relacionado aos circuitos de memória, sendo eles: a velocidade, a capacidade de armazenamento e o custo de fabricação. Para otimizar essas características, a organização da estrutura de memória em sistemas computacionais adota diferentes níveis, sendo as mais rápidas destinadas ao armazenamento dos dados mais frequentemente utilizados pelo processador. Esse conceito é conhecido como Hierarquia de Memória, e consiste em utilizar o melhor de cada tecnologia de fabricação, alocando um tipo de memória específica para desempenhar a função mais adequada a ela [Stallings, 2003]. A Figura 1 ilustra o conceito da hierarquia de memória de um sistema computacional.

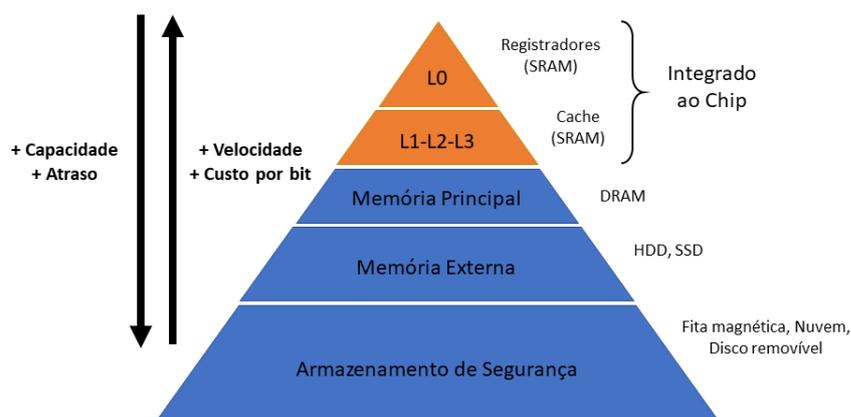


Figura 1: Diagrama piramidal da hierarquia de memória. [Stallings, 2003].

A crescente demanda por desempenho das aplicações contemporâneas impacta na necessidade de mais memória, por parte dos processadores. Porém, o alto custo de fabricação por bit torna inviável integrar toda a capacidade de armazenamento necessária dentro de um chip. Uma outra barreira é a capacidade da memória integrada operar em baixa potência e alta estabilidade na retenção do dado armazenado. Todos esses fatores essenciais na atual realidade das aplicações, principalmente com as novas integrações *mobile*, de IoT (*Internet of Things*) e de biomedicina, tornam as memórias estáticas de acesso aleatório (SRAMs) a escolha mais frequentemente utilizada no nível superior da hierarquia, quando desempenho é um fator determinante. Atualmente, SRAMs ocupam o maior bloco de área em um sistema computacional, sendo cerca de 90% da área de um processador [Singh et al., 2012].

À medida que as tecnologias nanométricas progredem, maior é o fator de integração possível em um chip, mais rápido são os dispositivos, menor a área e menor é consumo de energia por cada transistor. Entretanto, a sensibilidade dos circuitos integrados sofre um grande impacto. A redução das escalas de dimensionamento dos transistores, o aumento da frequência de operação e a redução da tensão de alimentação ocasionam um aumento da suscetibilidade de falhas. Principalmente as falhas devido a interações com o ambiente externo, como ruído estático, e, a colisão de partículas de radiação. Quando um dado ou valor lógico é alterado em decorrência dessa interação com o ambiente e tem um efeito temporário, esse evento é denominado como uma falha transiente ou *Soft Error*. Em circuitos combinacionais, as falhas transientes afetam a saída atual do circuito, enquanto em circuito sequenciais, o efeito transiente altera o valor armazenado até uma nova operação de escrita no dispositivo [Baumann, 2005].

As falhas transientes derivadas dos efeitos da radiação acontecem quando uma partícula energizada colide em uma região sensível do transistor. Essa partícula acaba depositando carga nessa região, podendo alterar o estado do transistor. O transistor pode então entrar em condução, modificando o comportamento do circuito. Quando a falha transiente afeta um circuito de memória SRAM, ela pode alterar o valor armazenado nesta célula, provocando o efeito conhecido como *bitflip*. No passado, esses efeitos transientes devido a radiação eram uma realidade apenas em ambientes espaciais e/ou hostis a radiação, mas hoje são uma realidade mesmo à nível terrestre [Gill et al., 2009]. Toda essa realidade implica na extrema importância de explorar os desafios que acompanham o progresso da indústria de semicondutores, aplicados à SRAMs.

Existem diferentes topologias na literatura para implementar o circuito de uma célula SRAM, cada uma tenta abordar um ponto específico das restrições relacionadas a célula. A célula SRAM mais clássica e amplamente utilizada pela indústria de semicondutores é a célula SRAM 6T [Pavlov & Sachdev, 2008]. Em [SANDEEP et al., 2009] o objetivo é a redução da potência e da área ocupada pela matriz de memórias adotando uma célula 4T que tenta manter o desempenho competitivo em relação a 6T. Já [FEKI et al., 2012] apresenta célula 10T-ULV (*Ultra Low Voltage*), que possibilita a realização das operações em tensão de sub-threshold. Em [SHARIF et al., 2018], a célula 7T proposta tem como foco a performance das operações em alta velocidade. Dentre as topologias propostas para robustez a radiação, destacam a 8T-SER [Shah et al., 2015] e a DICE [Wang et al., 2009]. As células 8T e 9T são alternativas com maior estabilidade [Kim et al., 2018].

Esse trabalho avalia cinco topologias de células, as SRAMs 6T, 8T, 9T, DICE e 8T-SER, quanto as suas características elétricas, tolerância ao ruído e a robustez aos efeitos da radiação. Serão observadas características nominais, como: os atrasos de leitura e escrita, o consumo de energia, a tolerância a ruído das células e o limiar de energia necessário para provocar uma alteração no dado armazenado pelas células de memória. As análises buscam contribuir mostrando as vantagens e desvantagens em utilizar determinada topologia diante dos requisitos específicos do projeto. Assim, as principais contribuições deste trabalho são: 1) fornecer dados de caracterização de memórias SRAM em nanotecnologias; 2) demonstrar a sensibilidade das SRAMs aos efeitos de radiação; 3) alertar quanto aos impactos relacionados à negligência desse parâmetro durante a caracterização das células SRAM; 4) prover um conjunto de dados que possa auxiliar projetistas de hardware a escolher a melhor alternativa de circuito de SRAM para seus projetos.

2. Metodologia

O desenvolvimento desse trabalho e seus experimentos estão divididos em duas subseções: descrição das características elétricas das células e estudo da estabilidade através das margens de ruído; e a análise dos efeitos da radiação nas células. Todos os circuitos foram descritos na linguagem SPICE utilizando o modelo preditivo de alta performance (HP) bulk CMOS fornecido pela Arizona State University [ASU, 2008]. Todas as características do modelo, assim como sua escolha, foram embasadas nos estudos desenvolvidos em [Almeida et al. 2018] [Marques et al., 2018a][Marques et al, 2018b][Marques et al, 2018c]. Para avaliar o comportamento elétrico das células foram desenvolvidas simulações elétricas através da ferramenta NGSpice.

Este trabalho selecionou quatro circuitos de SRAM para avaliação, além da célula 6T convencional, todos devidamente ilustrados na Figura 2. Esses circuitos compreendem: A SRAM 8T que possui um mecanismo dedicado que isola os nodos internos durante as operações de leitura [Kim et al. 2018]. A SRAM 9T, é baseada na 8T e propõe melhorias para os problemas de corrente de fuga [Kim et al. 2018]. A SRAM DICE, uma conhecida topologia de célula robusta que se utiliza de um mecanismo de redundância entre seus nodos internos [Wang et al. 2009]. A SRAM 8T-SER, é uma proposta de célula robusta a *Soft Erros*, que não possui mecanismos dedicados de leitura e é compatível com operações de baixa tensão [Shah et al. 2015].

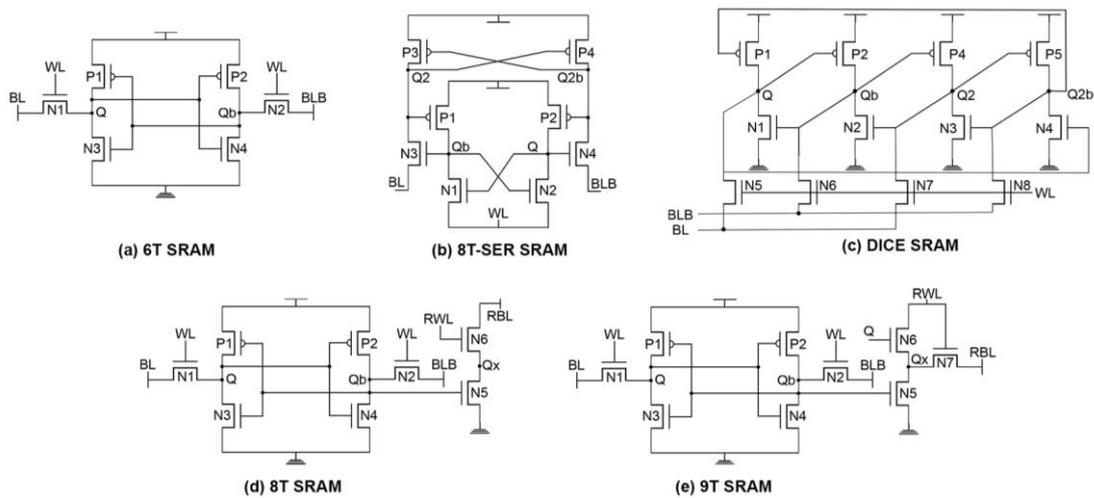


Figura 2: Diagrama elétrico das células. (Os autores).

Todas as células foram implementadas considerando uma arquitetura completa na forma de bloco, sendo composta duas colunas de 128 células de memória cada. A construção do bloco foi baseada no comportamento de cada célula durante os três estados de operação [Marques et al. 2020a] [Marques et al. 2020b]. Cada célula de memória teve um dimensionamento específico seguindo as convenções encontradas na literatura. A célula 6T foi implementada no seguinte dimensionamento: W dos transistores P1-P2-N1-N2 = 32nm e N3-N4 = 45nm. As células 8T e 9T foi projetada com: o W dos transistores P1-P2-N1-N2-N3-N4 = 32nm e N5-N6-N7 = 64nm (N7 somente na 9T). A célula DICE teve o W de todos os transistores em 32nm. Na célula 8T-SER o dimensionamento ficou da seguinte maneira: P1-P2-P3-P4 = 40nm, N3-N4 = 45nm e N1-N2 = 50nm. A descrição completa dos circuitos auxiliares que compõem a arquitetura foi devidamente abordada em [Marques et al. 2019a][Marques et al. 2019b].

2.1. Caracterização Elétrica

Após a descrição dos circuitos, foi definido um ambiente de validação das implementações. Esse ambiente foi montado através de uma sequência bem definida de operações, iniciando com a escrita do valor 0 na célula, seguido pela leitura deste e, na sequência, a escrita e leitura do valor 1. A Figura 4 representada o comportamento dos sinais da SRAM durante as operações. Essa sequência também foi utilizada para a obtenção dos tempos das operações, definindo os tempos críticos para a leitura e escrita nas células. Ao final da simulação, o simulador elétrico gera como saída a tensão dos nodos durante o período de simulação. Foi desenvolvido um script em *python* que interpreta essa saída e obtém os valores dos tempos de escrita e leitura. O tempo de escrita é obtido através do atraso entre 50% da tensão de subida da WL até 50% de subida do nodo que armazena o valor lógico 1. O tempo de leitura é mensurado pelo atraso entre 50% da tensão de subida da WL até o tempo que exista uma diferença de tensão entre as *bitlines*. Nesse trabalho, adota-se um limiar de 20mV para essa diferença de tensão. O mesmo ambiente também pode ser utilizado para mensuração do consumo energético das células. Uma fonte de energia exclusiva para a alimentação interna das células foi definida, utilizando uma característica do simulador, foi possível realizar o cálculo do consumo de energia estática ao término da simulação.

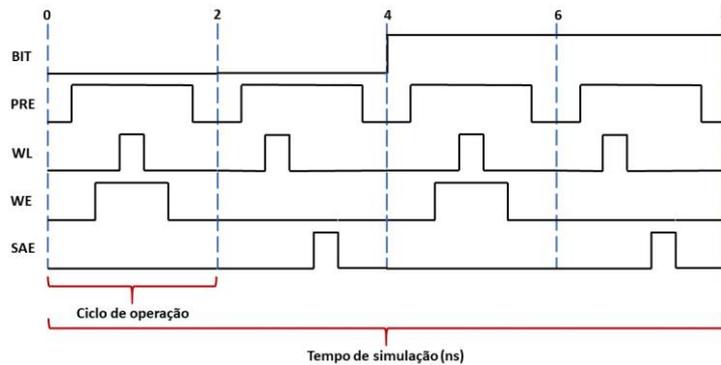


Figura 3: Sequência de sinais para a validação das células (Os autores).

Também foi avaliada a estabilidade das células quanto a ruídos de tensão. Foi desenvolvido um novo ambiente de simulação, onde uma fonte de tensão é conectada a um dos nodos de armazenamento interno das células. São realizadas simulações estáticas (DC) variando a tensão da fonte conectada aos nodos, de 0 até a tensão de alimentação. O simulador gerou como saída a tensão dos nodos da célula, enquanto um novo *script* em *python* foi implementado para interpretar essa saída e apresentar as margens de ruído estático (SNM) das células. As SNM foram obtidas através do método gráfico que as define como o lado do maior quadrado entre as curvas de transferência de tensão, esse método também é conhecido como método das Curvas Borboletas [Rajput et al. 2018]. As margens de ruído são observadas em três aspectos diferentes: Durante o estado de armazenamento da célula (*Hold SNM*), durante a operação de leitura (*Read SNM*) e durante a operação de escrita (*Write SNM*). As definições do estudo dessa característica são apresentadas em [Marques et al., 2019b].

2.2. Análise de Radiação

Soft Errors (falhas transitientes) são reconhecidas como uma grande ameaça para os dispositivos eletrônicos. Em circuitos de memória, um dos principais efeitos de radiação ligado a falhas transitientes são os *Single Event Upset* (SEU) [Cao et al., 2019]. Um SEU ocorre quando uma partícula ionizada colide com a junção PN de um transistor reversamente polarizada. A Figura 3 (a), (b) e (c) ilustram os mecanismos de depósito de carga durante a interação com o íon. A colisão deposita pares de elétrons-lacunas que são coletados como carga pelo dispositivo. Esse processo de coleta de carga se dá através de dois mecanismos: *Drift* (Deriva) e *Diffusion* (Difusão). O mecanismo de *Drift* ocorre quando a partícula percorre a região de depleção. O campo elétrico dessa região coleta rapidamente os portadores excedentes da colisão. Essa coleta implica em uma deformação temporária da região de depleção, denominada *Funneling*. Já o mecanismo de *Diffusion* é responsável por coletar os portadores gerados fora da região de depleção. Se a carga acumulada durante esses processos for maior que a carga crítica suportada, a memória apresentará um *bitflip*. [Pavlov & Sachdey, 2008].

Para simular este efeito, adota-se um modelo analítico de colisão da partícula [Messenger, 1982]. Esse modelo reproduz os efeitos através de uma onda de corrente na forma de pulso, que obedece ao comportamento de uma dupla exponencial. A Figura 2 (d) demonstra o comportamento desse pulso. Como base desse modelo temos as equações (1) e (2), onde Q_{coll} é a carga coletada; τ_a é a constante de tempo de carga; τ_β é a constante de tempo para a formação da trilha do íon; $10.8fC$ é a constante de carga depositada por μm ; L representa a profundidade do depósito de carga; e LET é a

quantidade de energia por unidade de comprimento. Para alcançar maior agilidade no processo de simulação foi automatizada a busca pela menor carga capaz de causar o desvio de comportamento na célula. O intervalo de energia avaliado considera níveis de LET encontrados na superfície terrestre.

$$I(t) = \frac{Q_{coll}}{\tau\alpha - \tau\beta} \left(e^{-\frac{t}{\tau\alpha}} - e^{-\frac{t}{\tau\beta}} \right) \quad (1)$$

$$Q_{coll} = 10.8fc(L)(LET) \quad (2)$$

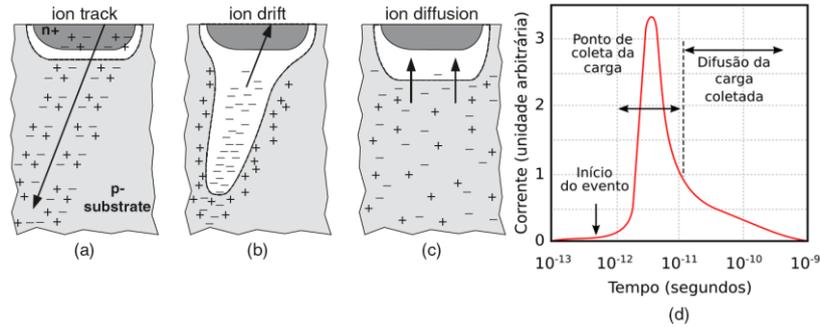


Figura 4: Impacto de uma colisão em um dispositivo CMOS: (a) Ionização; (b) *Funneling* na região de depleção; (c) Coleta de carga (d) Pulso de corrente gerado pela colisão da partícula [Pavlov & Sachdey, 2008]

Inicialmente, a análise de radiação quanto a falhas do tipo SEU identifica os nodos suscetíveis as falhas de radiação em cada célula. Cada um dos nodos das células foi submetido a uma configuração de falha do tipo 010 e em seguida do tipo 101 [Marques et al., 2019b] [Marques et al., 2019c]. Dessa maneira, foi possível verificar quais os níveis de sensibilidade desses nodos a SEU e apresentar quais são os pontos críticos. Conhecendo os nodos críticos, foi criado um ambiente de teste, onde é realizada a escrita de um dado na célula. Em seguida, a falha é injetada em dos nodos sensíveis e, após um período de espera, é verificado se houve ou não uma alteração no valor armazenado pela célula (*bitflip*). Essa abordagem considera os efeitos de SEU, enquanto as células operam armazenando um valor lógico, em estado de *hold*.

Além do ambiente de *hold*, estudos mostram a relevância de considerar os efeitos da colisão de partículas durante as demais operações da SRAM. Assim, neste trabalho foram simulados ambientes onde as células operam em estado de *write* e *read* sob efeitos de falhas de radiação. Em ambos os ambientes, foram estudados os pontos críticos dentro das correspondentes operações, considerando o começo e o fim de cada período de transição dos sinais de controle durante o ciclo de operação [Marques et al., 2020b]. No atual nível de desenvolvimento desse projeto, apenas as células 6T, 8T-SER e DICE foram avaliadas para os ambientes de *write* e *read*.

3. Resultados

Os tempos para as operações de leitura e escrita, considerando o pior caso, estão disponíveis na Tabela I. Avaliando cada célula individualmente, a célula 6T, demonstrou a necessidade de um maior período para realizar a operação de escrita em relação a de leitura. A operação de escrita ocorreu cerca de 72% mais rápido que a operação de leitura. Nas células 8T e 9T, foi a operação de leitura que demandou maior tempo para ser realizada. A escrita ocorreu cerca de 45% mais rápido do que a leitura. Observando os resultados da célula DICE, a leitura foi cerca de 72% mais rápida que a escrita. A

operação de escrita é crítica para a 8T-SER, sendo a operação de leitura cerca de 81% mais rápida. Avaliando um contexto geral, a célula 8T-SER apresentou a operação de escrita que demandou o maior período para ser realizada, e o terceiro pior tempo de leitura. Observando os valores específicos de cada célula, a DICE tem tempos cerca de 2.5x maiores que a 6T.

Os resultados para potência dissipada pelas células também estão presentes na Tabela I, especificamente na 4ª coluna. A célula 8T obteve a menor potência dissipada, sendo cerca de 10% menor que o da 9T. A 6T apresentou um valor médio entre as células, com uma potência cerca de 18% maior que o da 8T. Já a célula 8T-SER apresentou valores 7.3x superiores em relação a 8T, sendo a célula com o maior consumo energético. As células 8T e 9T conseguiram apresentar um consumo menor em relação a 6T, mesmo possuindo um número maior de transistores, devido as características do seu mecanismo de leitura dedicada. Dessa maneira, o isolamento entre as *bitlines* e os nodos internos durante a leitura, permite que não exista o consumo extra para manter o nodo que armazena o valor lógico 1 estável após a conexão com a *bitline*.

As análises da integridade dos dados na presença de ruído estão ilustradas na Tabela II. Considerando os resultados de HSNM (*Hold SNM*), todas as células apresentarão uma tolerância similar. Analisando as RSNM (*Read SNM*) foi verificada a alta sensibilidade a ruído das células 6T e DICE durante a leitura. A célula 6T foi cerca de 71% mais sensível durante a leitura, enquanto a célula DICE apresentou-se 75% mais sensível nessa operação em relação as demais topologias. Isso ocorre com essas células por não possuírem mecanismos de isolamento durante a operação de leitura. As demais células apresentarão resultados superiores e bem similares, pois todas implementam mecanismos que, mesmo atuando de maneira diferente, não permitem a conexão dos nodos internos com as *bitlines*, durante a operação de leitura. A Figura 5 apresenta as curvas borboleta de ruído para célula 6T e 8T-SER onde é possível observar a diferença na robustez da 6T respectivo ao quadrado interno aos laços da curva. Os resultados para WSNM (*Write SNM*) também foram bem similares entre as células. Entretanto a célula 8T-SER demonstrou um ganho relevante em relação as demais, sendo cerca de 29% mais tolerante ao ruído durante a escrita.

TABELA I. RESULTADOS DE ATRASO E POTÊNCIA

<i>Célula SRAM</i>	<i>Escrita (ps)</i>	<i>Leitura (ps)</i>	<i>Potência (nW)</i>
6T	14.0	4.0	61.3
8T	8.0	15.0	50.9
9T	9.0	16.0	56.4
DICE	36.0	10.1	78.8
8T-SER	64.0	12.2	376.3

TABELA II. RESULTADOS DE RUIDO ESTÁTICO

<i>Célula SRAM</i>	<i>HSNM (mV)</i>	<i>RSNM (mV)</i>	<i>WSNM (mV)</i>
6T	178.9	53.3	280.7
8T	180.1	181.0	291.8
9T	180.1	181.0	291.8
DICE	178.9	45.6	291.9
8T-SER	180.0	180.1	362.9

A identificação dos nodos sensíveis nas SRAM indicou que a célula 6T possui dois nodos (Q e Qb), as células 8T e 9T possuem três nodos sensíveis (Q, Qb e Qx) e as células DICE e 8T-SER possui quatro nodos sensíveis (Q, Qb, Q2 e Q2b). As células 8T e 9T possuem um nodo extra em relação a 6T. Entretanto, esse nodo está isolado dos nodos internos da célula, ou seja, mesmo afetado não causa quaisquer efeitos no dado armazenado. As células 8T-SER e DICE, possuem o maior número de nodos suscetíveis

as falhas, sendo o dobro de nodos da 6T. Entretanto, devido as estruturas de redundância e isolamento dessas células, ambas demonstraram imunidade aos efeitos da radiação em metade das simulações realizadas.

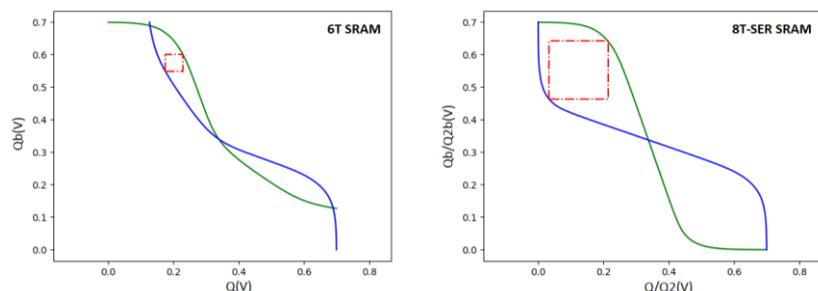


Figura 5: Exemplos das curvas borboleta para a maior sensibilidade de ruído da célula 6T SRAM comparada a célula 8T-SER

Os resultados dos experimentos relacionados aos efeitos da radiação estão disponíveis na Tabela III e IV. Todos os valores encontrados são referentes ao caso crítico observado entre os nodos sensíveis das células. Na célula DICE, quando afetada o nível e LETh necessário para causar o *bitflip* foi consideravelmente maior do que na 8T-SER. Avaliando os resultados durante as demais operações, ambas as células tiveram uma robustez maior durante a escrita, do que em relação a leitura. Assim como na análise de ruído, o período durante a operação de escrita é um ponto crítico a ser considerado. Todas as células tiveram uma redução considerável em relação ao estado de *hold*. Durante o estado de *read* a célula DICE demonstrou o melhor resultado para as simulações 010, enquanto para as simulações 101 foi a célula 8T-SER que se sobressaiu. Já durante o estado de *write* a DICE obteve total robustez, indicado com a letra R na tabela, em ambas metodologias de simulação. A análise das células 8T e 9T para esses ambientes está em etapa de desenvolvimento.

TABELA III. RESULTADOS DO LIMIAR DE LET DURANTE O ARMAZENAMENTO (MEVCM²/MG)

Simulação	Topologia de Célula SRAM				
	6T	8T	9T	DICE	8T-SER
010	0.416	0.416	0.359	335	0.531
101	0.158	0.201	0.230	R	0.301

TABELA IV. RESULTADOS DO LIMIAR DE LET DURANTE A ESCRITA E LEITURA (MEVCM²/MG)

Células SRAM	Write		Read	
	010	101	010	101
6T	0.416	0.158	0.330	0.072
DICE	R	R	0.344	0.072
8T-SER	0.100	0.287	0.029	0.115

4. Conclusão

Esse trabalho demonstra e avalia o impacto dos efeitos de radiação no projeto e construção de SRAMs na tecnologia nanométrica. Todas as células avaliadas foram implementadas e devidamente validadas. Foram apresentadas as principais características relacionadas à confiabilidade da SRAM, sendo medidos os tempos de atraso, o consumo energético, a tolerância a ruído e robustez a radiação. A célula 6T obteve o melhor

tempo de leitura, entretanto apresentou um preocupante valor quanto a estabilidade durante essa operação, sendo esse seu principal ponto negativo. A célula 8T obteve o melhor atraso de escrita, assim como, o melhor resultado de potência. Seu ponto negativo foi sua área ocupada ser levemente maior que a da 6T. A 9T obteve resultados bem similares aos da 8T, porém não apresentou o melhor resultado em nenhuma das características avaliadas, com área superior a 8T. A DICE apresentou os melhores resultados de robustez a radiação, tendo total imunidade a um dos casos de teste e mesmo quando foi afetada o nível de LET necessário foi consideravelmente maior em relação as demais células. O grande ponto negativo dessa topologia é justamente sua área ocupada, sendo a célula com maior número de transistores abordada nesse trabalho. Além disso, sua estabilidade na presença de ruído durante a leitura foi o pior resultado encontrado entre todas as células. A célula 8T-SER obteve os melhores resultados de SNM e um bom desempenho quanto aos efeitos da radiação. Essa célula obteve valores equivalentes a 8T e a 9T quanto as HSNM e RSNM, entretendo teve um melhor desempenho na WSNM. Nas incidência de partículas ionizante, o comportamento da célula foi de total robustez em metade dos casos simulados durante o experimento. Os principais pontos negativos dessa topologia foram o grande atraso na realização das operações e o alto consumo energético.

Atualmente, este projeto está trabalhando na análise dos demais circuitos auxiliares e de novas células robustas a radiação. Juntamente com a realização de um estudo de caso mais completo da ocorrência de falhas durante as operações de leitura e escrita (Marques et al, 2020b). Até o atual momento, foi possível notar e comprovar a capacidade de propagação de uma falha injetada nos circuitos auxiliares até os nodos internos das células. Durante a escrita as células tendem a serem mais robustas em relação as demais operações, exceto pelo comportamento peculiar da 8T-SER. Um outro ponto considerado é o desenvolvimento de métricas para simulação de falhas em múltiplos nodos simultaneamente. Além disso, dar seguimento aos estudos realizados em CMOS nesse trabalho, para novas tecnologias, como o FinFET. Os trabalhos futuros incluem avaliação de células de memória em período de *half-select*, e a investigação de alternativas de células robustas e com baixo consumo energético.

Agradecimentos

Esta pesquisa é parcialmente apoiada pelo Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), pela coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES) e pela Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul (FAPERGS).

Referências

- Almeida, R. B., Marques, C. M., Butzen, P. F., Silva, F. R. G., Reis, R. A., & Meinhardt, C. (2018). Analysis of 6 T SRAM cell in sub-45 nm CMOS and FinFET technologies. *Microelectronics Reliability*, 88, 196-202.
- Baumann, R. C. (2005). Radiation-induced soft errors in advanced semiconductor technologies. *IEEE Transactions on Device and materials reliability*, 5(3), 305-316.
- Cao, X., Xiao, L., Li, L., Li, J., & Wang, T.(2019). Simulation of Proton Induced Single Event Upsets in Bulk Nano-CMOS SRAMs. *Int. Conf. on IC Design and Tech.*

- Feki, A., Allard, B., Turgis, D., Lafont, J. C., & Ciampolini, L. (2012). Proposal of a new ultra low leakage 10T sub threshold SRAM bitcell. In *IEEE ISOCC*.
- Gill, B., Seifert, N., & Zia, V. (2019) Comparison of alpha-particle and neutron-induced combinational and sequential logic error rates at the 32nm technology node. In *2009 IEEE Int. Reliability Physics Symp.* (pp. 199-205). IEEE.
- Kim, T. T. H., Lee, Z. C., & Do, A. T. (2018). A 32 kb 9T near-threshold SRAM with enhanced read ability at ultra-low voltage operation. *Solid-State Elect.*, 139, 60-68.
- Marques, C.M., Longo, C.A.S. N. S., Almeida, R. B., Meinhardt, C., Butzen, P.F. (2018a). Impacto de falhas Stuck-Open e Stuck-on em células de memória 6T SRAM de 16nm. In 24th Iberchip workshop.
- Marques, C.M., Almeida, R. B., Meinhardt, C., Butzen, P.F. (2018b). Analyze of permanent and transient faults in 6T SRAM cell. Simpósio Sul de Microeletrônica.
- Marques, C.M., Almeida, R. B., Meinhardt, C., Butzen, P.F. (2018c). Comparing the SEU robustness of 6T and 8T-SER SRAM cells at 16nm. In 18th SFORUM.
- Marques, C.M., Almeida, R. B., Meinhardt, C., Butzen, P.F. (2019a). Analyze and Comparison of 6T and 8T-SER SRAM topologies in 16nm CMOS technology. In 34th Simpósio Sul de Microeletrônica.
- Marques, C.M., Almeida, R. B., Meinhardt, C., Butzen, P.F. (2019b). A comparative evaluation of SRAM topologies. In 19th Microelectronics Students Forum.
- Marques, C.M., Almeida, R. B., Meinhardt, C., Butzen, P.F. (2019c). Avaliação dos efeitos de falhas do tipo single event upset sobre células de memória SRAM na tecnologia de 16nm. In 8th Conferência Sul em modelagem computacional.
- Marques, C.M., Meinhardt, C., Butzen, P.F. (2020a). Avaliação dos efeitos de radiação em células SRAM. In 11th Computer on the beach.
- Marques, C.M., Butzen, P.F., Meinhardt, C. (2020b). Soft Error Reliability of SRAM Cells during the three operation states. In *IEEE Latin American Test Symposium*.
- Pavlov, A., & Sachdev, M. (2008). *CMOS SRAM circuit design and parametric test in nano-scaled technologies: process-aware SRAM design and test* (Vol. 40).
- Rajput, A. S., Pattanaik, M., & Tiwari, R. (2018). Estimation of static noise margin by butterfly method using curve-fitting technique. *Journal of Active and Passive Electronic Devices*, 13(1), 1-9.
- Sandeep, R., Deshpande, N. T., & Aswatha, A. R. (2009). Design and analysis of a new loadless 4T SRAM cell in deep submicron CMOS technologies. In *IEEE Second International Conference on Emerging Trends in Engineering & Technology*.
- Shah, J. S., Nairn, D., & Sachdev, M. (2015). A 32 kb macro with 8T soft error robust, SRAM cell in 65-nm CMOS. *IEEE Transactions on Nuclear Science*.
- Sharif, K. F., Islam, R., & Biswas, S. N. (2018). A New Model of High Speed 7T SRAM Cell. In *IC4ME2* (pp. 1-4). IEEE.
- Singh, J., Mohanty, S. P., & Pradhan, D. K. (2012). *Robust SRAM designs and analysis*.
- Stallings, W. (2003). *Computer organization and architecture: designing for performance*. Pearson Education India.