

# Estudo de Parâmetros Analógicos de Transistores SOI MOSFET de Canal Gradual Submicrométricos

Bruna C. Paz<sup>1</sup>, Michelly de Souza<sup>1</sup>, Marcelo A. Pavanello<sup>1</sup>

<sup>1</sup>Departamento de Engenharia Elétrica – Centro Universitário da FEI  
Caixa Postal 09850-901 – São Bernardo do Campo – SP – Brasil

brucpaz@gmail.com, michelly@fei.edu.br, pavanello@fei.edu.br

**Abstract.** *The performance of graded-channel (GC) SOI transistors for analog applications is deeply related to the technology development on the microelectronic field. Overcoming this challenge requires to improve the knowledge of the parameters which characterize the device and to confirm if its performance remains better than uniformly doped transistors. The present study brings a comparison between submicron standard (uniformly doped) SOI and GC SOI nMOSFETs with different total channel length and  $L_{LD}/L$  ratio. The threshold voltage, subthreshold slope, maximum transconductance, output conductance, intrinsic voltage gain, and unit-gain frequency were used for this analysis.*

**Resumo.** *O desempenho de transistores SOI de canal gradual (GC) em aplicações analógicas está profundamente relacionado ao desenvolvimento da tecnologia na área da microeletrônica. Superar este desafio requer aperfeiçoar o conhecimento dos parâmetros que caracterizam o dispositivo e confirmar se seu desempenho permanece superior aos transistores uniformemente dopados. O presente estudo traz uma comparação entre transistores SOI submicrométricos convencionais (uniformemente dopados) e GC SOI nMOSFETs com diferentes comprimentos de canal e razão  $L_{LD}/L$ . A tensão de limiar, inclinação de sublimiar, máxima transcondutância, condutância de saída, ganho intrínseco de tensão e frequência de ganho unitário foram usados para esta análise.*

## 1. Lei de Moore

Cada vez mais, a demanda por desenvolvimento de novas tecnologias e aperfeiçoamento de dispositivos eletrônicos já existentes mostra-se um desafio a ser superado pelos pesquisadores das mais diversas áreas. Na área de microeletrônica essa necessidade é expressa através da Lei de Moore [Intel 2011].

Em 1965, Gordon Earl Moore observou uma evolução exponencial na densidade de componentes em um circuito integrado, revelando que a mesma deveria dobrar a cada dois anos. Até o momento, a indústria de semicondutores tem procurado manter a evolução indicada pela Lei de Moore, que reflete a expectativa da evolução dos transistores, dispositivos essenciais à implementação de seus circuitos.

A redução contínua das dimensões dos transistores implementados em tecnologia Metal-Óxido-Semicondutor (MOS) tem ocasionado uma série de dificuldades para manter a integridade do funcionamento destes dispositivos, os chamados efeitos de canal curto. Tais efeitos são responsáveis por fazer com que o

transistor MOS deixe de funcionar adequadamente, conseqüentemente afetando o desempenho e a capacidade de projeto de circuitos integrados com dimensões reduzidas.

## 2. Tecnologia SOI

A tecnologia de silício sobre isolante (*Silicon-On-Insulator* – SOI) surgiu como uma alternativa para a tecnologia CMOS convencional (*Complementary Metal Oxide Semiconductor*) na fabricação de circuitos integrados em altíssima escala de integração (*Ultra Large Scale Integration* – ULSI). Nesta tecnologia, os dispositivos são fabricados em uma fina camada de silício separada do restante do substrato por um material isolante. A isolação entre os dispositivos e o substrato, proporcionada pela presença da camada isolante, permite minimizar, ou em alguns casos, até mesmo suprimir efeitos parasitários decorrentes da redução das dimensões da tecnologia MOS convencional [Colinge 2004]. Uma peculiaridade desta tecnologia é que a região de canal do transistor, em função do isolamento dielétrico anteriormente mencionado, permanece eletricamente flutuando.

Conforme diversos grupos de pesquisa já comprovaram, dispositivos SOI MOSFET (vide Figura 1), são mais rápidos devido ao fato de estes possuírem capacitâncias de junção bastante reduzidas em relação aos transistores MOSFET convencionais [Colinge 2004].

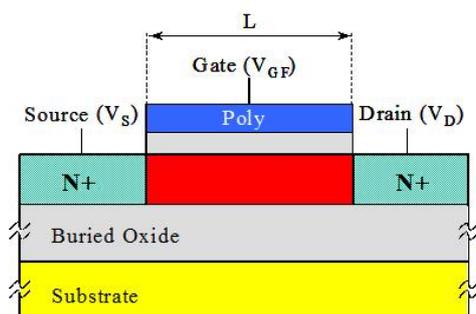


Figura 1. Transistor construído em tecnologia SOI.

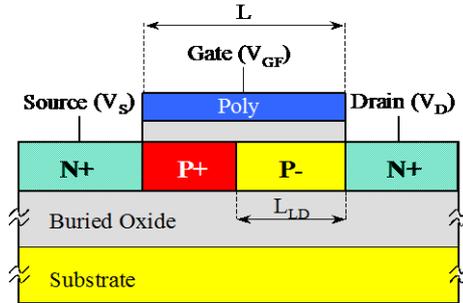
Apesar do grande número de vantagens, os transistores SOI apresentam reduzida tensão de ruptura de dreno, devido ao efeito de corpo flutuante, que leva à ativação do transistor bipolar parasitário associado ao transistor MOS. Desta forma, o desafio consiste não somente em desenvolver a tecnologia SOI, mas criar novas estruturas que, associadas aos benefícios proporcionados pela tecnologia SOI, permitam melhorar ainda mais o desempenho dos transistores.

## 3. Tecnologia GC SOI

O transistor SOI de canal gradual (*Graded-Channel* – GC) é uma proposta de dispositivo que foi concebida com o intuito de reduzir a ocorrência dos efeitos bipolares parasitários, e assim aumentar a tensão de ruptura dos dispositivos SOI, e com isso tem mostrado melhorias para aplicações de circuitos analógicos, e.g. [Pavanello 2002].

A principal característica dos dispositivos de canal gradual é o perfil assimétrico de dopantes na região do canal, conforme apresentado na Figura 2. Na região do canal, o lado próximo à região de fonte apresenta a concentração de dopantes comumente usada em transistores SOI e é responsável por fixar a tensão de limiar do transistor ( $V_t$ ), enquanto a parte remanescente do canal, de comprimento  $L_{LD}$  (o índice LD significa

*lightly doped* ou fracamente dopado) permanece com a concentração de dopantes natural da lâmina, tipicamente com impurezas tipo P em baixa concentração.



**Figura 2. Transistor GC SOI.**

O perfil assimétrico de dopantes causa uma redução no comprimento efetivo do canal ( $L_{\text{eff}}$ ). Uma vez que a região fracamente dopada apresenta tensão de limiar negativa, mesmo com tensão de porta nula já existe a formação de uma camada de inversão de portadores, a qual funciona de forma análoga a uma extensão da região de dreno. Portanto, o comprimento efetivo do canal pode ser considerado, em uma primeira aproximação, igual ao comprimento da região fortemente dopada, conforme a equação abaixo (1), e.g. [Souza 2004].

$$L_{\text{eff}} = L - L_{\text{LD}} \quad (1)$$

A redução da concentração de dopantes na região de alto campo elétrico próxima ao dreno proporciona a redução de efeitos bipolares parasitários, como ionização por impacto e.g. [Pavanello 2000], aumento da tensão de ruptura e redução da condutância de saída ( $g_D$ ).

Os benefícios provenientes da utilização da tecnologia GC SOI variam de acordo com a razão  $L_{\text{LD}}/L$ , e.g. [Pavanello 2002], que representa quanto do comprimento total do canal é mantido fracamente dopado. Conforme a razão  $L_{\text{LD}}/L$  aumenta, com conseqüente redução de  $L_{\text{eff}}$ , a transcondutância dos transistores GC SOI aumenta. É possível notar também melhorias na resposta de  $g_D$ , uma vez que a região fracamente dopada reduz a queda de potencial sobre a região de canal efetivo. A queda de potencial na região fortemente dopada, por ser menor, reduz o efeito de modulação do comprimento de canal, que é responsável pelo aumento da condutância de saída [Veeraraghavan e Fossum 1989].

### 3.1. Parâmetros Elétricos Estudados

Neste trabalho, serão apresentados inicialmente parâmetros básicos de transistores GC SOI e SOI convencional (como o canal uniformemente dopado) em função da razão  $L_{\text{LD}}/L$ . Serão analisados parâmetros tais como a tensão de limiar ( $V_t$ ), inclinação de sublimiar (S), máxima transcondutância ( $g_{m,\text{max}}$ ) e condutância de saída ( $g_D$ ).

Além destes parâmetros básicos, um parâmetro analógico de extrema relevância é o ganho intrínseco de tensão ( $A_V$ ) que, para os dispositivos MOSFET, pode ser expresso pela razão entre a transcondutância ( $g_m$ ) e a condutância de saída, conforme equação abaixo (2) [Colinge 2004]:

$$A_V = \frac{g_m}{g_D} \quad (2)$$

Os resultados foram obtidos através de simulações numéricas bidimensionais (resultados teóricos) e, posteriormente, através de medidas experimentais que complementam os resultados teóricos a fim de comprovar qualitativamente sua tendência.

#### 4. Simulações

As simulações numéricas bidimensionais foram realizadas utilizando o *Sentaurus Device Simulator* (SDEVICE) da *Synopsys*. Para essas simulações, um arquivo de entrada descreve a estrutura a ser simulada (materiais, dimensões, concentrações de dopantes, etc.) e os modelos analíticos para considerar os efeitos físicos desejados. Os modelos escolhidos serão apresentados no próximo tópico.

Para resolver equações de continuidade e de Poisson, o SDEVICE utiliza o método dos elementos finitos e, como o simulador considera os efeitos da temperatura, foram ajustados 300K nas simulações.

Os transistores simulados apresentam as mesmas características geométricas e de concentração de dopantes dos dispositivos disponíveis para a realização de medidas, fabricados no Laboratório de Microeletrônica da Universidade Católica de Louvain (*Université Catholique de Louvain – UCL*), Bélgica, e.g. [Flandre 2001].

Todos os dispositivos apresentam dimensões e concentrações conforme especificado na Tabela 1.

**Tabela 1. Dimensões e concentrações de dopantes dos transistores estudados (simulação e medidas).**

	Parâmetros	Valores
<b>Geométricos</b>	Espessura de óxido de porta ( $t_{oxf}$ )	30nm
	Espessura de silício ( $t_{si}$ )	80nm
	Espessura do óxido enterrado ( $t_{oxb}$ )	390nm
	Comprimentos de canal (L)	2 $\mu$ m, 1 $\mu$ m, 0,75 $\mu$ m
	Razão $L_{LD}/L$	0 (SOI convencional) até 0,6
<b>Concentrações de dopantes</b>	Região fortemente dopada ( $N_{AH}$ )	$6 \times 10^{16} \text{ cm}^{-3}$
	Região fracamente dopada ( $N_{AL}$ )	$1 \times 10^{15} \text{ cm}^{-3}$
	Regiões de fonte e dreno ( $N_D$ )	$5 \times 10^{20} \text{ cm}^{-3}$

Os transistores com comprimento de canal igual a 0,75 $\mu$ m foram simulados com as regiões de fonte e dreno avançando 0,1 $\mu$ m para o interior da região de canal, conforme mostrado na Figura 3, que apresenta a estrutura descrita através do arquivo de simulação de um transistor GC SOI com  $L_{LD}/L=0,3$ . Essa estratégia foi utilizada para

reproduzir de forma mais adequada os efeitos de canal curto observados experimentalmente.

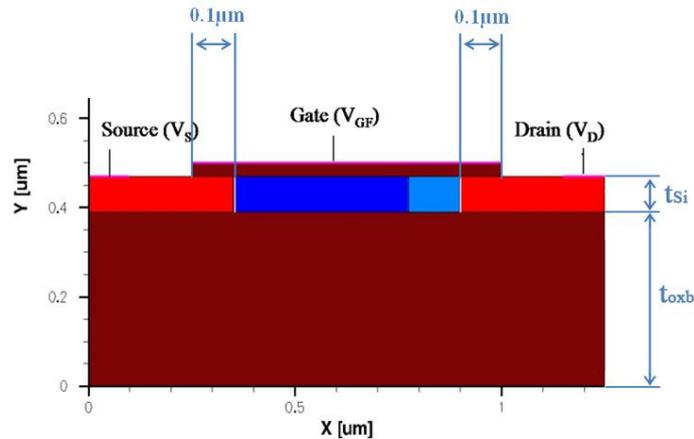


Figura 3. Ilustração da estrutura do transistor GC SOI com  $L=0,75\mu\text{m}$ ,  $L_{LD}/L=0,3$

#### 4.1. Modelos

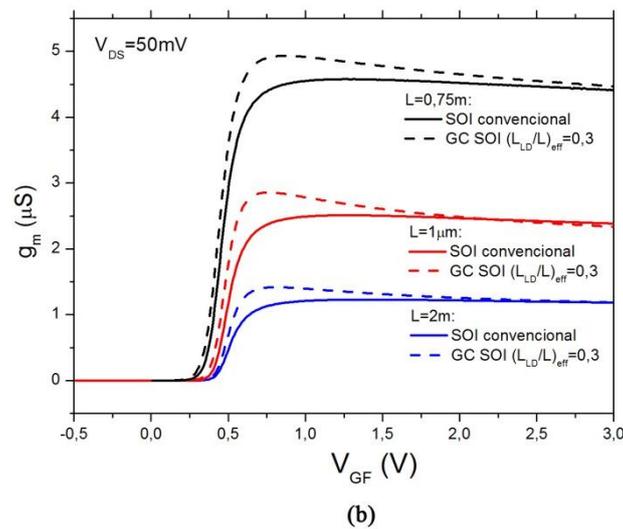
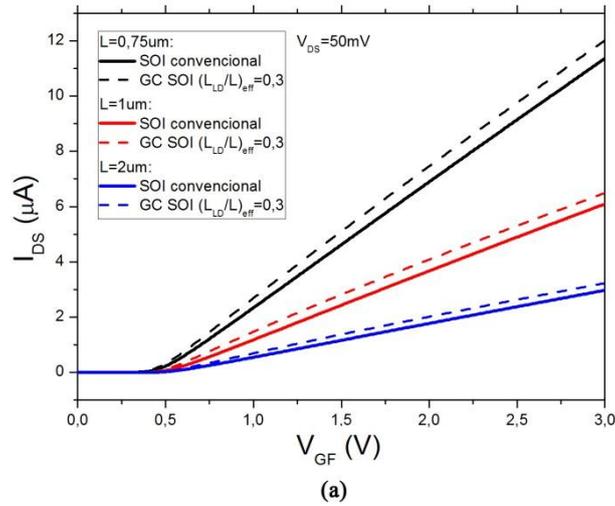
Nas simulações, foram utilizados modelos para considerar os seguintes efeitos físicos importantes para as estruturas estudadas [Sentaurus Device User Guide 2009]:

- Mobilidade dos portadores majoritários e minoritários e sua dependência com a temperatura, além de efeitos físicos de impurezas e espalhamento de pares elétron-lacuna, efeitos todos descritos pelo modelo proposto por Klaassen;
- Dependência da mobilidade em relação ao campo elétrico normal;
- Velocidade de saturação e força motriz dos portadores em altos campos elétricos;
- Ionização por impacto.

Um submodelo desenvolvido na Universidade de Bologna para ajustar resultados simulados aos dados experimentais também foi incluído no modelo que relaciona a mobilidade ao campo elétrico normal. O objetivo da inclusão deste submodelo foi tornar o comportamento da curva de transcondutância mais próximo daquele descrito na literatura para estes dispositivos [Souza 2007].

#### 4.2. Resultados e Parâmetros Obtidos

A Figura 4 apresenta a curva da corrente de dreno ( $I_{DS}$ ) versus a tensão da porta ( $V_{GF}$ ) para transistores SOI convencionais e GC SOI simulados com  $V_{DS}=50\text{mV}$  (Figura 4.a), e suas respectivas derivadas,  $g_m$  versus  $V_{GF}$  (Figura 4.b).



**Figura 4. Curvas  $I_{DS}$  vs.  $V_{GF}$  (a) e  $g_m$  vs.  $V_{GF}$  (b) para dispositivos GC SOI e SOI convencionais com diferentes comprimentos de canal, polarizados em  $V_{DS}=50mV$ .**

A Figura 4 revela que o nível de corrente e a transcondutância aumentam conforme o comprimento efetivo do canal diminui, por isso, para transistores de mesma tecnologia, quanto menor  $L$ , melhor a resposta e, para transistores com o mesmo comprimento de canal total, transistores GC SOI apresentam melhores resultados.

A tensão de limiar ( $V_t$ ) foi extraída a partir de curvas  $I_{DS}$  versus  $V_{GF}$  para  $V_{DS}=50mV$ , similares às apresentadas na Figura 4, usando o método da segunda derivada, e.g. [Conde 2002]. Os resultados obtidos para a tensão de limiar, bem como para a inclinação de sublimiar e transcondutância máxima estão apresentados em função da razão  $L_{LD}/L$ , respectivamente, nas Figuras 5, 6 e 7, todas extraídas em baixo campo elétrico ( $V_{DS}=50mV$ ), para todos os comprimentos e razões  $L_{LD}/L$  simulados.

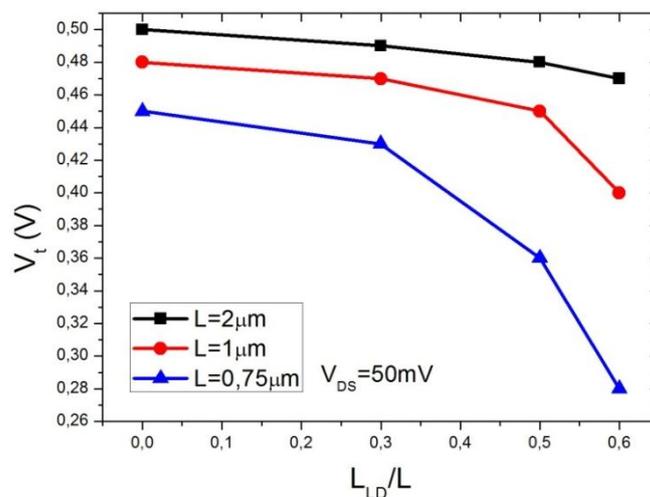


Figura 5. Curva  $V_t$  vs.  $L_{LD}/L$  para dispositivos GC SOI e SOI convencionais com diferentes comprimentos de canal, polarizados em  $V_{DS}=50\text{mV}$ .

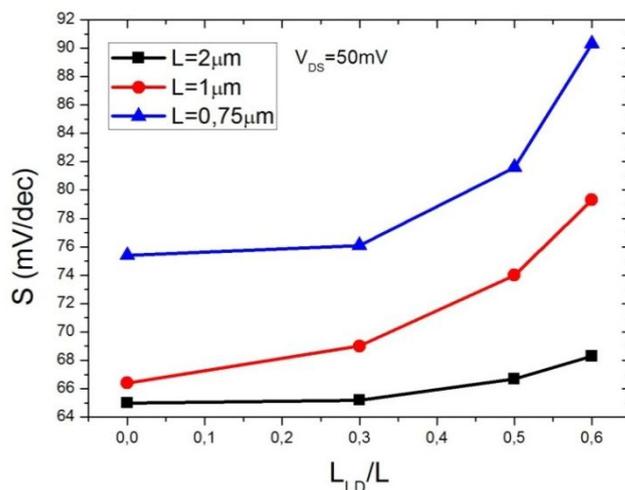


Figura 6. Curva  $S$  vs.  $L_{LD}/L$  para dispositivos GC SOI e SOI convencionais com diferentes comprimentos de canal, polarizados em  $V_{DS}=50\text{mV}$ .

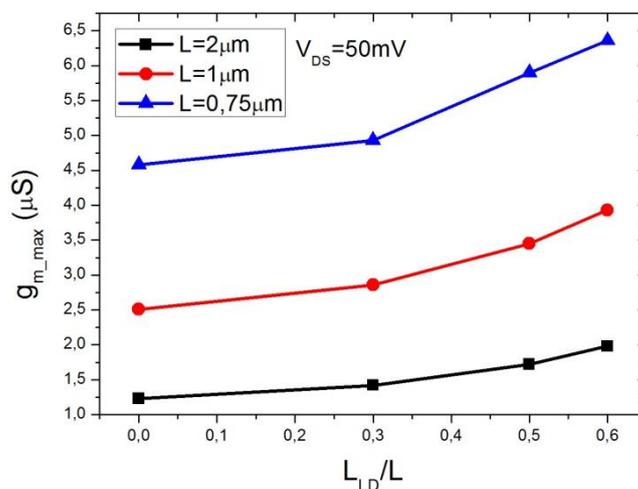


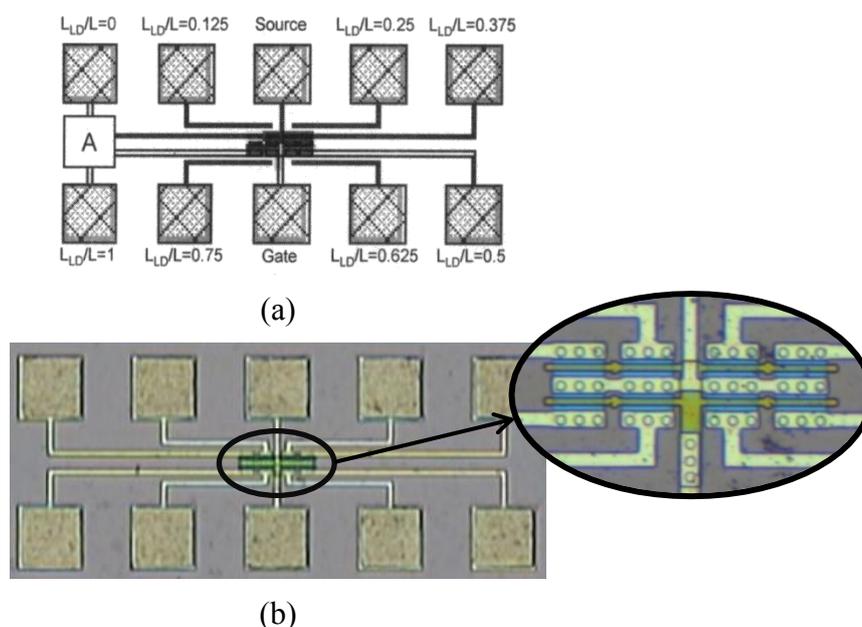
Figura 7. Curva  $g_{m,max}$  vs.  $L_{LD}/L$  para dispositivos GC SOI e SOI convencionais com diferentes comprimentos de canal, polarizados em  $V_{DS}=50\text{mV}$ .

A partir dos resultados apresentados nas figuras 5 a 7, é possível notar uma queda da tensão de limiar em duas situações: de acordo com a redução do comprimento do canal total entre dispositivos de mesma tecnologia e de acordo com o aumento da razão  $L_{LD}/L$  para dispositivos com mesmo comprimento total de canal. Em ambos os casos, essa redução é causada pela ocorrência de efeitos de canal curto, observados para a redução tanto do comprimento total do canal como do comprimento efetivo do canal (aumento de  $L_{LD}$ ). Efeito similar também foi observado para os valores de inclinação de sublimiar extraídos, que sofrem degradação (aumento) com a redução de comprimento de canal, seja total ou efetivo. Por esta razão, transistores GC SOI possuem valores de inclinação de sublimiar maiores em relação aos dispositivos uniformemente dopados com o mesmo comprimento de canal, uma vez que apresentam comprimento efetivo de canal mais curto.

Entretanto, a redução do comprimento efetivo de canal em transistores de canal gradual proporciona um aumento da transcondutância máxima. Cabe salientar que dispositivos com comprimento efetivo de canal apresentam comportamentos muito similares, como pode ser evidenciado comparando-se o transistor convencional com  $L=1\ \mu\text{m}$  e o GC SOI com  $L=2\ \mu\text{m}$  e  $L_{LD}/L=0,5$ , em que os parâmetros possuem os seguintes valores para o transistor GC SOI:  $V_t=0,48\text{V}$ ,  $S=66,7\text{mV/dec}$  e  $g_{m\_máx}=1,74\ \mu\text{S}$ ; e para o SOI convencional:  $V_t=0,48\text{V}$ ,  $S=66,4\text{mV/dec}$  e  $g_{m\_máx}=2,51\ \mu\text{S}$ .

## 5. Medidas experimentais

Os dispositivos utilizados neste estudo foram fabricados de acordo com o processo descrito na referência [Flandre 2001]. Todos os transistores medidos apresentam os mesmos parâmetros geométricos dos transistores simulados, com exceção da largura do canal ( $W$ ) que, para o caso das amostras medidas, é de  $20\ \mu\text{m}$ . O layout dos transistores medidos e uma ilustração de sua estrutura estão apresentados na Figura 8.a e 8.b, respectivamente. Curvas da corrente de dreno em função das tensões aplicadas foi obtida com o equipamento Keithley 4200 Semiconductor Characterization System com tempo médio de integração.



**Figura 8. Layout esquemático (a) e estrutura medida dos transistores fabricados (b).**

A razão  $L_{LD}/L$  indicada na Figura 8 representa a razão de máscara, que corresponde à razão pretendida antes do processo de fabricação. Entretanto, devido às etapas térmicas e de alinhamento do processo de fabricação, estes valores podem sofrer alteração. Para calcular a razão efetiva dos dispositivos fabricados, denominados  $(L_{LD}/L)_{eff}$ , pode-se utilizar a equação (3) e.g. [Pavanello 2000], válida no início da região de saturação.

$$\left(\frac{L_{LD}}{L}\right)_{eff} = 1 - \frac{I_{DS}}{I_{DS,GC}} \quad (3)$$

Parâmetros elétricos básicos foram extraídos também para curvas medidas de  $I_{DS}$  vs.  $V_{GF}$  com  $V_{DS}=50mV$  e os resultados estão apresentados nas Figuras 9, 10 e 11. Para estes resultados experimentais, é relevante notar a mesma tendência dos resultados simulados para todos os parâmetros.

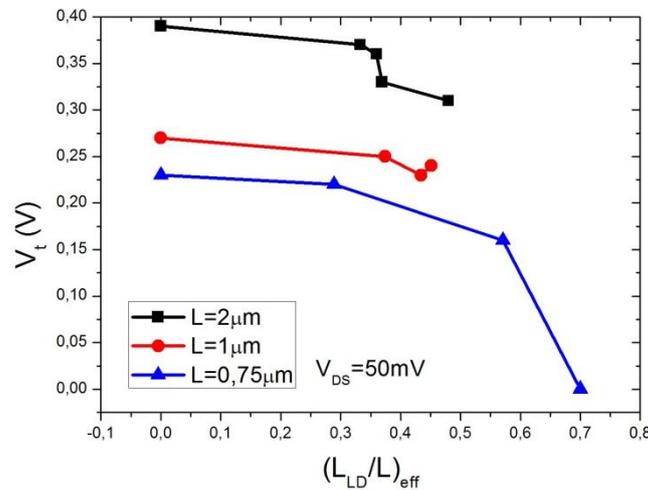


Figura 9. Curva  $V_t$  vs.  $(L_{LD}/L)_{eff}$  para dispositivos GC SOI e SOI convencionais com diferentes comprimentos de canal, polarizados em  $V_{DS}=50mV$ .

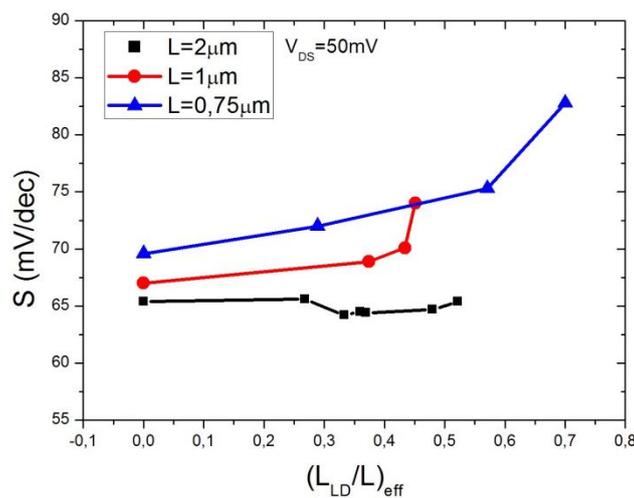
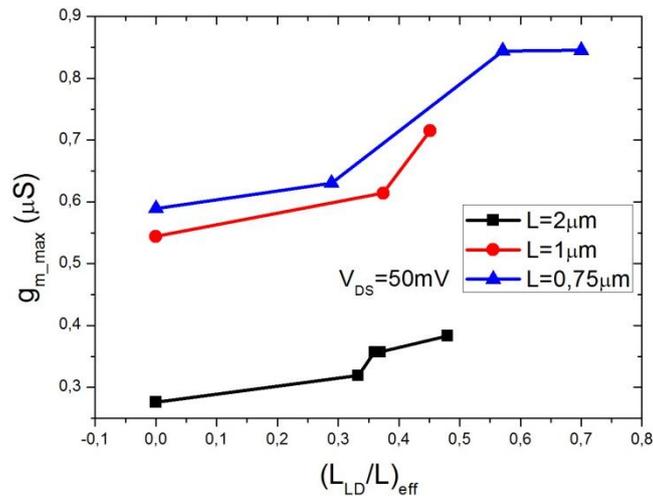
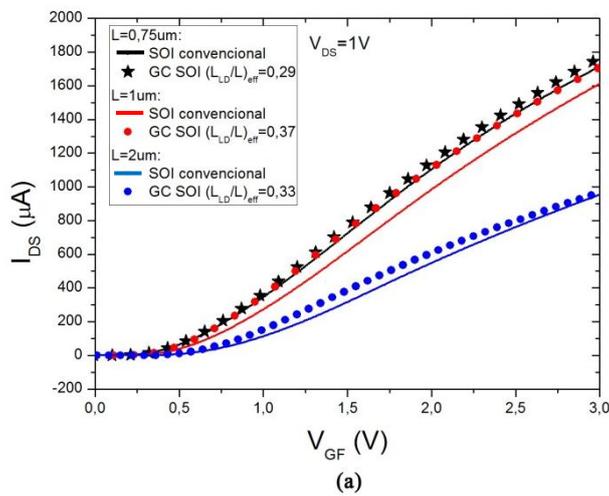


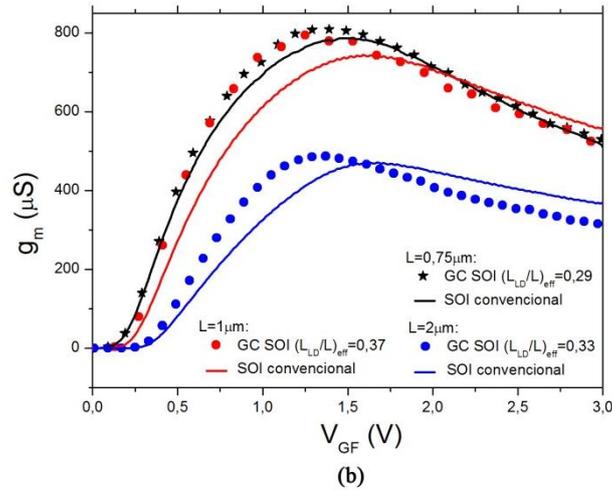
Figura 10. Curva  $S$  vs  $(L_{LD}/L)_{eff}$  para dispositivos GC SOI e SOI convencionais com diferentes comprimentos de canal, polarizados em  $V_{DS}=50mV$ .



**Figura 11. Curva  $g_{m,max}$  vs.  $(L_{LD}/L)_{eff}$  para dispositivos GC SOI e SOI convencionais com diferentes comprimentos de canal, polarizados em  $V_{DS}=50mV$ .**

A Figura 12 apresenta a curva dos resultados experimentais da corrente de dreno *versus* a tensão da porta (a), para transistores SOI e GC SOI com  $V_{DS}=1V$  e suas respectivas derivadas (b). Esta figura apresenta os resultados experimentais para os dispositivos com razão  $(L_{LD}/L)_{eff}$  próxima dos dispositivos simulados apresentados na Figura 4.

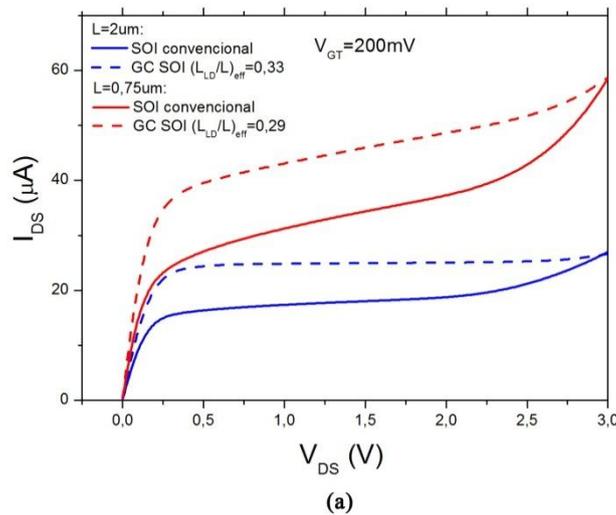


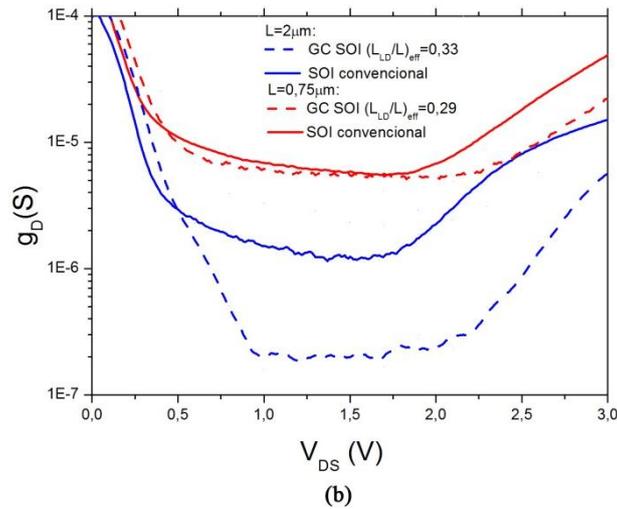


**Figura 12. Curvas  $I_{DS}$  vs.  $V_{GF}$  (a) e  $g_m$  vs.  $V_{GF}$  (b) para dispositivos GC SOI e SOI convencionais com diferentes comprimentos de canal, polarizados em  $V_{DS}=1V$ .**

A Figura 12 mostra que, assim como a Figura 4 dos resultados simulados,  $I_{DS}$  e  $g_m$  aumentam conforme o comprimento total do canal diminui, tanto para transistores convencionais como de canal gradual. Além disso, estes parâmetros são melhores para os transistores GC SOI e aumentam conforme a razão  $L_{LD}/L$  aumenta. Este fato revela que dispositivos GC SOI apresentam melhor desempenho considerando o nível de corrente e a transcondutância.

A Figura 13 apresenta, para transistores GC SOI e SOI convencional de  $L=2\mu m$  e  $0,75\mu m$ , as curvas experimentais da corrente de dreno ( $I_{DS}$ ) versus a tensão de dreno ( $V_{DS}$ ) (a), polarizados com sobre-tensão de porta  $V_{GT}=V_{GF}-V_t=200mV$  e suas respectivas derivadas, curva da condutância de saída ( $g_D$ ) versus a tensão de dreno ( $V_{DS}$ ) (b).





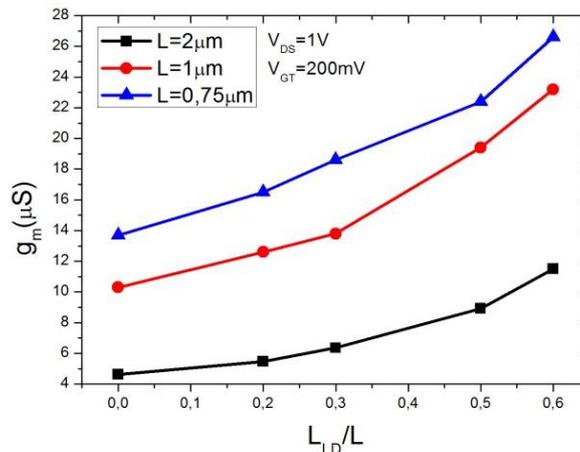
**Figura 13. Curvas  $I_{DS}$  vs.  $V_{DS}$  (a) e  $g_D$  vs.  $V_{DS}$  (b) para dispositivos GC SOI e SOI convencionais com diferentes comprimentos de canal, polarizados em  $V_{GT}=200\text{mV}$ .**

Os resultados apresentados mostram que, para transistores de mesmo comprimento total de canal, há uma melhora no nível de corrente quando utilizados transistores de canal gradual em relação à transistores SOI convencionais.

A Figura 13.b permite uma análise de dois importantes aspectos acerca da condutância de saída: o melhor valor de  $g_D$  ocorre transistores de canal mais longo ( $L=2\mu\text{m}$ ) e, há uma melhora para a tecnologia de canal gradual. Em ambos os casos esta melhora deve-se à redução do efeito de modulação do comprimento de canal que ocorre tanto na tecnologia GC como para dispositivos de  $L$  maiores.

## 6. Parâmetros Analógicos

Conforme mencionado anteriormente, o ganho intrínseco de tensão é dado pela razão entre a transcondutância e a condutância de saída. Anteriormente à discussão dos resultados de  $A_V$ , realizar-se-á, primeiramente, uma análise de  $g_m$  e  $g_D$ . As Figuras 14 e 15 apresentam, respectivamente,  $g_m$  e  $g_D$  para os dispositivos simulados, extraídos com polarização de 1V aplicado ao contato de dreno e  $V_{GT}=V_{GF}-V_t=200\text{mV}$ .



**Figura 14.  $g_m$  versus  $(L_{LD}/L)$  para os dispositivos simulados.**

A Figura 14 mostra como a transcondutância em saturação aumenta conforme o comprimento efetivo do canal diminui, isso significa que pequenos comprimentos efetivos de canal (causados por longas regiões fracamente dopadas) caracterizam dispositivos que tem melhor controle da corrente de dreno pelo contato de porta.

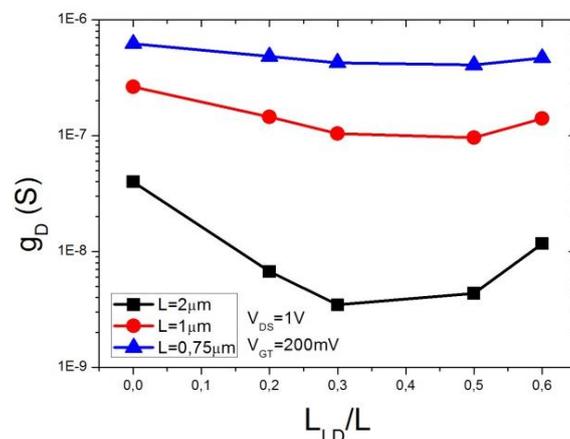


Figura 15.  $g_D$  versus  $(L_{LD}/L)$  para os dispositivos simulados.

A Figura 15 mostra que, ao contrário do que foi observado para a transcondutância, os melhores (menores) valores para a condutância de saída são obtidos com dispositivos de canal mais longo. Embora o aumento da razão  $L_{LD}/L$  cause a redução do comprimento efetivo de canal, é possível notar melhorias na resposta de  $g_D$ , decorrente da redução do efeito de modulação de comprimento de canal. A melhora observada chega a 11,5 vezes, comparando-se dispositivos com  $L_{LD}/L=0$  e 0,3, ambos com  $L=2\mu m$ . Entretanto, à medida que  $L_{LD}/L$  aumenta, há um ponto em que mesmo os dispositivos de canal gradual com  $L$  total maior, começam a sofrer de efeito de canal curto, pois o comprimento efetivo do canal torna-se bastante reduzido, ocasionando degradação da condutância de saída.

Aplicando a Equação (2) para os dispositivos simulados neste trabalho, extraiu-se o ganho intrínseco de tensão ( $A_V$ ) em função da razão  $(L_{LD}/L)_{eff}$ . Os resultados são apresentados na Figura 16.

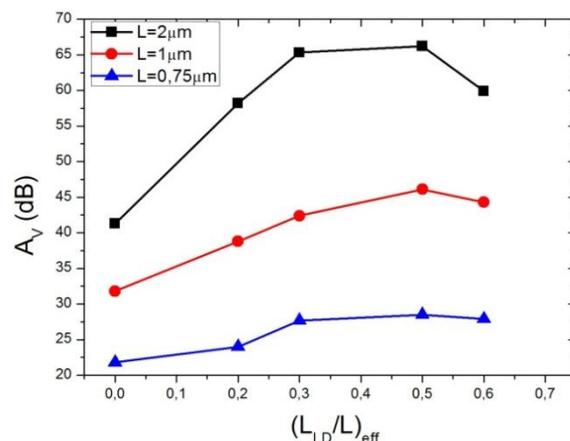


Figura 16.  $A_V$  versus  $(L_{LD}/L)_{eff}$  para os dispositivos simulados.

O ganho de tensão segue a característica inversa da curva de  $g_D$ , uma vez que a transcondutância sempre aumenta com o aumento da razão  $L_{LD}/L$ . Como é possível observar, quando os transistores tornam-se menores, sua transcondutância aumenta e

proporciona mais corrente de dreno, mas essa miniaturização apresenta também implicações indesejáveis na condutância de saída (efeitos de canal curto elevam  $g_D$ , como mostrado na Figura 15). A queda dos valores do ganho intrínseco de tensão conforme o comprimento de canal é reduzido observada na Figura 16, indica que a degradação de  $g_D$  é mais pronunciada que a melhora de  $g_m$ . Para transistores uniformemente dopados, o ganho diminui 19,5dB quando o canal é reduzido de  $2\mu\text{m}$  para  $0,75\mu\text{m}$ . Comparando transistores de mesmo comprimento efetivo de canal, nota-se que a utilização dos dispositivos GC SOI é muito vantajosa, por exemplo, um transistor GC de  $L=2\mu\text{m}$  e  $L_{LD}/L=0,5$  ( $L_{\text{eff}}=1\mu\text{m}$ ) apresenta ganho de 66,2dB enquanto o SOI convencional de  $L=1\mu\text{m}$  ( $L_{LD}/L=0$  e, portanto,  $L_{\text{eff}}$  também igual a  $1\mu\text{m}$ ) apresenta ganho de tensão de apenas 31,8dB.

Na Figura 16, o aumento da relação  $L_{LD}/L$  para valores superiores a 0,5 deixa de oferecer melhora para o ganho de tensão. Embora a degradação de  $A_V$  observada ocorra nos transistores GC SOI que apresentam comprimento efetivo de canal muito curto, estes dispositivos ainda apresentam maiores valores de ganho do que os transistores uniformemente dopados com mesmo comprimento total de canal.

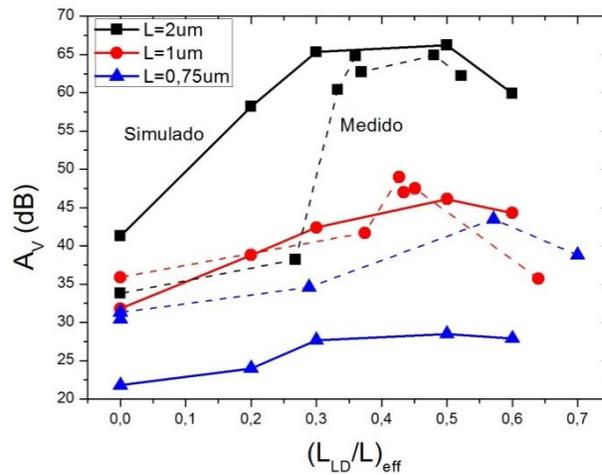
A Tabela 2 apresenta a relação entre o ganho intrínseco de tensão de transistores GC ( $A_{V,GC}$ ) e o ganho de transistores uniformemente dopados ( $A_{V,CONVENCIONAL}$ ). Esta tabela aponta que, para todos os comprimentos de canal, os transistores de canal gradual SOI com razão ( $L_{LD}/L$ ) entre 0,3 e 0,5 possuem os maiores valores de ( $A_{V,GC} / A_{V,CONVENCIONAL}$ ) e, portanto, os melhores resultados para  $A_V$ . Isso ocorre, principalmente, devido à significativa melhora na condutância de saída e também devido ao aumento da transcondutância.

**Tabela 2. Relação dos ganhos de tensão entre transistores de canal gradual e convencionais para diversos valores de L e  $L_{LD}/L$ .**

L ( $\mu\text{m}$ )	$A_{V,GC} / A_{V,CONVENCIONAL}$			
	$L_{LD}/L=0,2$	$L_{LD}/L=0,3$	$L_{LD}/L=0,5$	$L_{LD}/L=0,6$
2,00	7,00	15,80	17,58	8,51
1,00	2,24	3,39	5,19	4,22
0,75	1,29	1,97	2,16	2,02

Um aspecto importante a ser analisado é que a vantagem do uso dos transistores GC SOI em relação aos SOI convencionais, considerando  $A_V$ , diminui conforme o comprimento total do canal é reduzido. Por exemplo, o ganho intrínseco de tensão do GC SOI, para  $L=2\mu\text{m}$ , é de até 17,58 vezes o valor do SOI convencional, já para  $L=0,75\mu\text{m}$  essa vantagem cai para até 2,16 vezes.

Abaixo, na Figura 17, estão confrontados os resultados provenientes de simulações, representados por linhas sólidas, e de medidas experimentais, representados por linhas tracejadas.



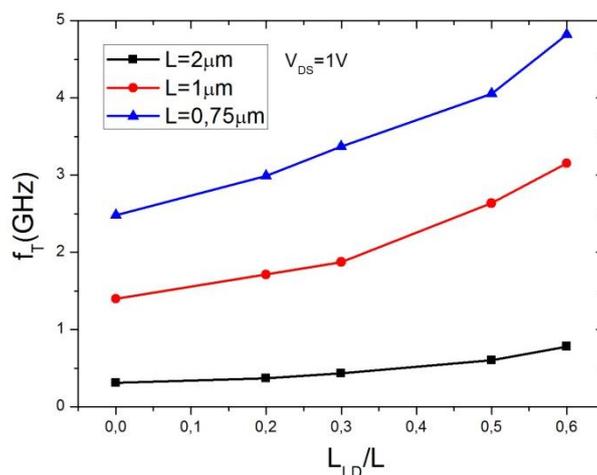
**Figura 17.  $A_V$  versus  $(L_{LD}/L)_{eff}$  para os dispositivos simulados e medidos.**

Uma vez que os parâmetros dos modelos nas simulações não foram alterados para ajustar os resultados simulados aos experimentais, os valores obtidos para o ganho de tensão não coincidem. Nenhuma otimização dos parâmetros dos modelos foi feita nas simulações, uma vez que tal ajuste está fora do real objetivo deste estudo e, embora possa afetar os resultados quantitativamente, não afeta a análise qualitativa e as tendências exibidas nos resultados apresentados. A partir das curvas apresentadas na Figura 17, nota-se que a tendência das curvas simuladas e medidas é a mesma, apresentando um aumento de  $A_V$  com  $L_{LD}/L$ , com uma degradação para maiores comprimentos  $L_{LD}$ .

Outro parâmetro analógico a ser utilizado neste trabalho como figura de mérito para comparação entre os transistores de canal gradual e uniformemente dopados é a frequência de ganho unitário ( $f_T$ ), que representa a frequência para qual o ganho de malha aberta torna-se igual a 1, e pode ser calculada através da equação (4) para transistores de efeito de campo, [Tsividis 1987]:

$$f_T = \frac{g_m}{2 \cdot \pi \cdot C_L} \quad (4)$$

A Figura 18 apresenta os resultados de  $f_T$  em função da razão  $L_{LD}/L$  para os dispositivos simulados, calculados a partir da Equação 4, considerando a capacitância de carga,  $C_L$  igual à capacitância de porta do dispositivo ( $C_L = C_{ox} \cdot W \cdot L$ , onde  $C_{ox}$  é a capacitância do óxido de porta por unidade de área) e  $g_m$  retirado dos valores de transcondutância da Figura 14, com  $V_{DS}=1V$ .



**Figura 18.  $f_T$  versus  $(L_{LD}/L)$  para os dispositivos simulados.**

Uma vez que  $f_T$  aumenta com o aumento da razão  $L_{LD}/L$ , seguindo a mesma característica da transcondutância conforme expresso na Equação 4, os resultados revelam que quanto menor o comprimento efetivo do canal, maior a frequência de ganho unitário, ou seja, os transistores GC SOI com os maiores valores de  $L_{LD}/L$  apresentam maior flexibilidade para aplicação analógica, pois permitem operação em frequências mais altas. Entretanto, levando-se em consideração não apenas a frequência de ganho unitário, mas também o ganho intrínseco de tensão, que degrada devido ao efeito de canal curto para  $L_{LD}/L$  maiores do que 0,5, os dispositivos que apresentaram melhor resposta são os transistores de canal gradual com razão  $L_{LD}/L$  próximas, mas abaixo, de 0,5.

## 7. Conclusões

Neste trabalho um estudo sobre transistores de canal gradual SOI foi apresentado, através de resultados de simulações numéricas bidimensionais e resultados experimentais de transistores fabricados. Conforme reportado na literatura, o uso de dispositivos GC SOI ocasiona um aumento na transcondutância e uma diminuição na condutância de saída. Essas melhorias podem ser verificadas para todos os comprimentos de canal estudados, indicado que transistores GC SOI têm desempenho superior aos transistores uniformemente dopados.

Maiores valores de ganho intrínseco de tensão foram obtidos para dispositivos de canal gradual, devido ao aumento de  $g_m$  e, principalmente, devido à redução de  $g_D$ . Entretanto, para elevadas razões  $L_{LD}/L$ , transistores GC começam a sofrer de efeitos de canal curto e a perder desempenho.

É válido notar que para otimizar o uso dos dispositivos GC, transistores com  $(L_{LD}/L)_{\text{eff}}$  próximos de 0,5 devem ser escolhidos, pois, dentre os transistores que apresentam maior ganho de tensão, esta razão  $L_{LD}/L$  também possui os maiores valores de frequência de ganho unitário.

## 8. Agradecimentos

Os autores agradecem o apoio financeiro do CNPq e da CAPES imprescindíveis à realização deste estudo.

## 9. Referências

- Colinge, J.P. (2004) “Silicon-On-Insulator Technology: Materials to VLSI”, Kluwer Academic Publishers, New York.
- Conde, O. A., Sánchez, F. J. G., Liou, J. J., Cerdeira, A., Estrada, M., Yue Y. (2002) “A review of recent MOSFET threshold voltage extraction methods”, *Microelectronics Reliability*, v. 42, p. 583-596.
- Flandre, D. et al. (2001) “Fully depleted SOI CMOS technology for heterogeneous micropower, high-temperature or RF microsystems”, *Solid-State Electronics*, v. 45, p. 541-549.
- Intel Corporation (2011) “Moore’s Law Inspires Intel Innovation”, <http://www.intel.com/content/www/us/en/silicon-innovations/moores-law-embedded-technology.html>, Outubro.
- Pavanello, M. A., Martino, J. A., Flandre, D. (2000) “Graded-Channel Fully Depleted Silicon-On-Insulator nMOSFET for Reducing the Parasitic Bipolar Effects”, *Solid-State Electronics*, Oxford, Inglaterra, v. 44, n. 6, p. 917-922.
- Pavanello, M. A., Martino, J. A., Flandre, D. (2002) “Analog Circuit Design Using Graded-Channel Silicon-On-Insulator NMOSFETS”, *Solid-State Electronics*, v. 46, n. 8, p. 1215-1225.
- Sentaurus Device User Guide (2009), Version C-2009.06.
- Souza, M. de, Flandre, D., Pavanello, M. A. (2009) “Performance of Common-Source, Cascode and Wilson Current Mirrors Implemented with Graded-Channel SOI nMOSFETs in a Wide Temperature Range”, *The Electrochemical Society Meeting - Silicon-On-Insulator Technology and Devices 14. ECS Transactions - Silicon-On-Insulator Technology and Devices 14*, Pennington, v. 19. p. 265-270.
- Souza, M. de, Pavanello, M. A. (2007) “Charge-Based Continuous Equations for the Transconductance and Output Conductance of Graded-Channel SOI MOSFETs”, *JICS. Journal of Integrated Circuits and Systems*, v. 2, p. 104-110
- Veeraraghavan, S., Fossum, J. G., (1989) “Short-channel effects in SOI MOSFETs”, *IEEE Trans. Electron Devices*, v. 36, p. 522–528.
- Y. P. Tsividis. “Operation and Modeling of the MOS Transistors”. McGraw-Hill, New York, 1987.